



**INSTITUTO POTOSINO DE INVESTIGACIÓN
CIENTÍFICA Y TECNOLÓGICA, A.C.**

POSGRADO EN CIENCIAS APLICADAS

**Regulador conmutado usando convertidores de
alta reducción para microprocesadores**

Tesis que presenta

Josué Augusto Reyes Malanche

Para obtener el grado de

Doctor en Ciencias Aplicadas

En la opción de

Control y Sistemas Dinámicos

Director de la Tesis:

Dr. Jesús Leyva Ramos

San Luis Potosí, S.L.P., Octubre de 2015

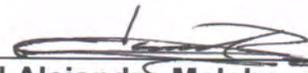


Constancia de aprobación de la tesis

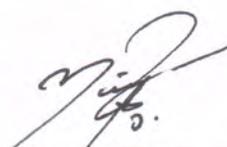
La tesis “**Regulador conmutado usando convertidores de alta reducción para microprocesadores**” presentada para obtener el Grado de Doctor en Ciencias Aplicadas en la opción de Control y Sistemas Dinámicos fue elaborada por **José Augusto Reyes Malanche** y aprobada el **primero de octubre del dos mil quince** por los suscritos, designados por el Colegio de Profesores de la División de Matemáticas Aplicadas del Instituto Potosino de Investigación Científica y Tecnológica, A.C.



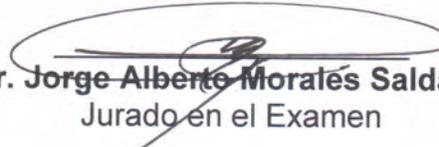
Dr. Jesús Leyva Ramos
Director de la tesis



Dr. Daniel Alejandro Melchor Aguilar
Jurado en el Examen



Dr. Nimrod Vázquez Nava
Jurado en el Examen



Dr. Jorge Alberto Morales Saldaña
Jurado en el Examen



Créditos Institucionales

Esta tesis fue elaborada en la División de Matemáticas Aplicadas del Instituto Potosino de Investigación Científica y Tecnológica, A.C., bajo la dirección del Dr. Jesús Leyva Ramos .

Durante la realización del trabajo el autor recibió una beca académica del Consejo Nacional de Ciencia y Tecnología 209534 y del Instituto Potosino de Investigación Científica y Tecnológica, A. C.



Instituto Potosino de Investigación Científica y Tecnológica, A.C.

Acta de Examen de Grado

El Secretario Académico del Instituto Potosino de Investigación Científica y Tecnológica, A.C., certifica que en el Acta 023 del Libro Primero de Actas de Exámenes de Grado del Programa de Doctorado en Ciencias Aplicadas en la opción de Control y Sistemas Dinámicos está asentado lo siguiente:

En la ciudad de San Luis Potosí a los 1 días del mes de octubre del año 2015, se reunió a las 17:00 horas en las instalaciones del Instituto Potosino de Investigación Científica y Tecnológica, A.C., el Jurado integrado por:

Dr. Daniel Alejandro Melchor Aguilár	Presidente	IPICYT
Dr. Jesús Leyva Ramos	Secretario	IPICYT
Dr. Jorge Alberto Morales Saldaña	Sinodal externo	UASLP
Dr. Nimrod Vázquez Nava	Sinodal externo	ITCELAYA

a fin de efectuar el examen, que para obtener el Grado de:

**DOCTOR EN CIENCIAS APLICADAS
EN LA OPCIÓN DE CONTROL Y SISTEMAS DINÁMICOS**

sustentó el C.

Josué Augusto Reyes Malanche

sobre la Tesis intitulada:

Regulador conmutado usando convertidores de alta reducción para microprocesadores

que se desarrolló bajo la dirección de

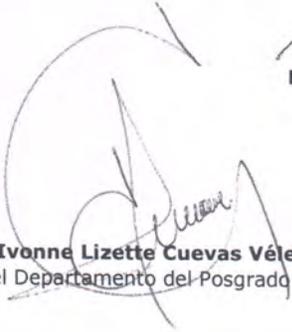
Dr. Jesús Leyva Ramos

El Jurado, después de deliberar, determinó

APROBARLO

Dándose por terminado el acto a las 18:45 horas, procediendo a la firma del Acta los integrantes del Jurado. Dando fe el Secretario Académico del Instituto.

A petición del interesado y para los fines que al mismo convengan, se extiende el presente documento en la ciudad de San Luis Potosí, S.L.P., México, a los 1 días del mes de octubre de 2015.


Mtra. Ivonne Lizette Cuevas Vélez
Jefa del Departamento del Posgrado


Dr. Marcial Bonilla Martín
Secretario Académico



**Por tu amor y
apoyo incondicional
gracias a quien soy**

Agradecimientos

A mi madre Adela y mi padre Luis que moralmente siempre me apoyan para seguir adelante.

A mis hermanos por estar siempre pendientes de alcanzar las metas propuestas.

A mi esposa Isabel e hijos Huanímban y Jesús que con su amor y comprensión siempre estuvieron conmigo en todo momento impulsándome a seguir con mi meta trazada. Les agradezco por esa combinación de dureza y amor.

A mi asesor el Dr. Jesús Leyva Ramos por brindarme parte de su tiempo durante el desarrollo de esta tesis. Le agradezco sinceramente.

A los sinodales: Dr. Daniel Alejandro Melchor Aguilar, Dr. Jorge Alberto Morales Saldaña, Dr. Nimrod Vazquez Nava y Dr. Hugo Cabrera Ibarra, por su invaluable apoyo en el desarrollo de esta tesis, por su tiempo, su dedicación, por haberme hecho comprender que enseñar es enseñar a dudar, que una educación que no implica preguntas no sirve para nada, pero sobre todo por su gran amistad.

A los encargados del laboratorio Luis Díaz Saldierna e Irwin Díaz Díaz por la ayuda y el apoyo que me brindaron durante la realización de la tesis y a la Dra. Ma. Guadalupe Ortiz López por sus comentarios siempre tan acertados.

A todos los profesores del Departamento de Matemáticas Aplicadas del IPICYT por toda la ayuda brindada.

Y a todas aquellas personas que con su valiosa ayuda contribuyeron significativamente para la realización de este trabajo. Les estoy eternamente agradecido.

Índice general

Glosario de símbolos y acrónimos	XVII
Resumen	XVIII
Abstract	XX
1. Introducción	1
1.1. El desarrollo de microprocesadores y sus fuentes de alimentación.	1
1.2. Principales características de los VRM.	4
1.3. Arquitecturas de los sistemas de alimentación en los microprocesadores	8
1.4. Convertidores de bajo voltaje destinados a la alimentación de microprocesadores	10
1.5. Objetivo general del trabajo	11
1.6. Justificación	11
2. Convertidores reductores	12
2.1. Convertidor reductor convencional	12
2.2. Convertidores entrelazados	19
2.3. Convertidor en cascada de n-etapas y n-interruptores activos	21
2.4. Convertidores reductores cuadráticos	23
2.5. Otros tipos de convertidores reductores propuestos	26

3. Convertidor reductor cuadrático con conmutación de capacitores	30
3.1. Operación del convertidor reductor cuadrático con conmutación de capacitores	33
3.2. Modelado del convertidor.	37
3.3. Generalización del modelo	39
3.4. Resultados experimentales	43
4. Controlador para convertidor reductor de tres etapas	45
4.1. Convertidor reductor en cascada de n-etapas	45
4.2. Esquema de control propuesto	51
4.2.1. Control modo-corriente promedio	52
4.3. Resultados experimentales	56
4.3.1. Pruebas en lazo abierto	60
4.3.2. Pruebas en lazo cerrado	61
4.4. Posible solución para mejorar la eficiencia	64
5. Conclusiones	66
5.1. Comentarios finales	66
5.2. Trabajo futuro	69

Índice de figuras

1.1.	Tendencia de reducción de voltaje en microprocesadores (bajo voltaje - bajo consumo de potencia) [1].	2
1.2.	Tendencia del incremento del número de transistores en microprocesadores de Intel [5]. . .	3
1.3.	Tarjeta madre para un procesador Pentium 4 con VRM de tres fases [6].	4
1.4.	Predicción del incremento de la corriente y potencia en microprocesadores Intel [13]. . . .	5
1.5.	Necesidades de corriente en sistemas de alimentación en microprocesadores Intel [14]. . .	6
1.6.	Arquitecturas de sistemas de alimentación. (a) Sistema centralizado. (b) Sistema distribuido	9
2.1.	Diagrama eléctrico de un convertidor reductor convencional.	12
2.2.	Transiciones de voltaje y corriente en interruptor real (mosfet).	13
2.3.	Gráfica de eficiencia conforme se reduce el voltaje de salida.	14
2.4.	Gráfica de la eficiencia con respecto a la variación del ciclo de trabajo U	14
2.5.	Modos de operación del convertidor reductor.	15
2.6.	Sustitución de interruptor pasivo por interruptor activo.	18
2.7.	Convertidor reductor síncrono.	18
2.8.	Comparación de eficiencias entre convertidores reductores.	19
2.9.	Diagrama eléctrico de un convertidor reductor entrelazado.	20
2.10.	Convertidor reductor en cascada de dos etapas.	21
2.11.	Convertidor reductor cuadrático: (a) convertidor reductor con dos interruptores activos, (b) representación del circuito con interruptores, (c) circuito equivalente con interruptores y (d) convertidor reductor cuadrático con un solo interruptor activo.	24

2.12. Convertidores cuadráticos: (a) convertidor clase A_1 , (b) convertidor clase A_2 , (c) convertidor clase B_1 , (d) convertidor clase B_2 , (e) convertidor clase B_3 y (f) convertidor clase C_1	25
2.13. Convertidores de amplio rango de conversión con etapa aislada.	27
3.1. Diagrama eléctrico de un convertidor reductor cuadrático convencional.	31
3.2. Señales experimentales (<i>eje x</i> : $2\mu s/div$), Voltaje V_{ab} (<i>eje y</i> : $10 V/div$), Voltaje V_{ac} (<i>eje y</i> : $50 V/div$), Corriente I_{L2} (<i>eje y</i> : $10 A/div$), Voltaje V_o (<i>eje y</i> : $1 V/div$).	32
3.3. Convertidor propuesto con conmutación de capacitores.	33
3.4. Convertidor propuesto con conmutación de capacitores.	34
3.5. Formas de onda en estado estable del convertidor propuesto.	35
3.6. Comparación de diagramas de tiempo entre convertidores.	36
3.7. Convertidor reductor cuadrático con n capacitores.	40
3.8. Circuitos de conmutación con capacitores.	40
3.9. Variación del ciclo de trabajo U al aumentar capacitores.	42
3.10. Convertidor cuadrático reductor convencional (<i>eje x</i> : $2\mu s/div$), Voltaje V_{ab} (<i>eje y</i> : $10 V/div$), Voltaje V_{ac} (<i>eje y</i> : $50 V/div$), Corriente I_{L2} (<i>eje y</i> : $10 A/div$), Voltaje V_o (<i>eje y</i> : $1 V/div$).	43
3.11. Convertidor cuadrático reductor con conmutación de capacitores (<i>eje x</i> : $2\mu s/div$), Voltaje V_{ab} (<i>eje y</i> : $10 V/div$), Voltaje V_{ac} (<i>eje y</i> : $50 V/div$), Corriente I_{L2} (<i>eje y</i> : $10 A/div$), Voltaje V_o (<i>eje y</i> : $1 V/div$).	44
4.1. Convertidor reductor en cascada con n interruptores activos.	45
4.2. Convertidor reductor en cascada de n etapas con un solo interruptor activo.	46
4.3. Esquema de control modo-corriente promedio para convertidor reductor de n etapas.	52
4.4. Esquema de control modo-corriente promedio para convertidor reductor de tres etapas.	56
4.5. Respuesta en frecuencia de la ganancia de lazo: (arriba) Ganancia, (abajo) Fase.	60
4.6. Voltaje de salida en lazo abierto (<i>eje x</i> : $200ms/div$), Voltaje V_o (<i>eje y</i> : $1 V/div$), Voltaje V_G (<i>eje y</i> : $10 V/div$).	61
4.7. Voltaje y corriente de salida en lazo cerrado (<i>eje x</i> : $10ms/div$), Voltaje V_o (<i>eje y</i> : $1 V/div$), Corriente I_o (<i>eje y</i> : $10 A/div$).	61

4.8.	Voltaje de salida constante a pesar de cambios en la carga (<i>eje x</i> : 200ms/div), Voltaje V_o (<i>eje y</i> : 1 V/div), Voltaje V_G (<i>eje y</i> : 10 V/div).	62
4.9.	Forma de onda de las corrientes en los inductores (<i>eje x</i> : 10 μ s/div), Corriente I_{L1} (<i>eje y</i> : 1 V/div), Corriente I_{L3} (<i>eje y</i> : 10 A/div).	62
4.10.	Acercamiento del voltaje de salida (<i>eje x</i> : 10 μ s/div), Voltaje V_o (<i>eje y</i> : 500mV/div). . .	63
4.11.	Convertidor reductor cuadrático todo síncrono.	64
4.12.	diagrama de tiempos en un convertidor reductor cuadrático síncrono.	65
4.13.	Comparación de eficiencias entre un convertidor reductor cuadrático y un convertidor reductor cuadrático todo síncrono.	65

Glosario de símbolos y acrónimos

C	Capacitancia
U	Ciclo de trabajo
CD	Corriente directa
PI	Controlador proporcional-integral
CD-CD	Conversión de corriente directa a corriente directa
E	Voltaje de entrada
L	Inductancia
MCC	Modo de conducción continua
MCD	Modo de conducción discontinua
N	Ganancia del lazo de corriente
R	Resistencia
T	Periodo de conmutación
$\Delta V/\Delta t$	Relación de cambio de voltaje en el tiempo
ΔI_{L_i}	Rizo en la corriente del i-ésimo inductor
ΔV_{C_i}	Rizo en el voltaje del i-ésimo capacitor
MOSFET	Transistor de efecto de campo con tecnología MOS
V_o	Voltaje de salida
VRM	Modulo de regulación de voltaje

Resumen

La tendencia actual en el diseño de microprocesadores está caracterizada por fuentes de alimentación con un voltaje muy bajo ($\sim 1 V$), una ventana de regulación ($\sim 100 mV$), una gran relación de conversión ($1/12$ a $1/48$), y adicionalmente un incremento en las corrientes de suministro ($\sim 100 A$) con una alta rapidez ($\sim 300 A/\mu s$). Estas tendencias representan un gran reto para el diseño de reguladores de voltaje que son los encargados de suministrar energía a los microprocesadores. Los reguladores de voltaje deben ser diseñados sin un número excesivo de capacitores en su salida. En principio un convertidor reductor óptimo es diseñado para que cumpla con los requerimientos de corriente en su salida. En estos convertidores es recomendable usar capacitores cerámicos con una resistencia serie equivalente pequeña, lo cual es sin duda la selección esperada en los reguladores de voltaje para la próxima generación de microprocesadores. Sin lugar a duda, el desarrollo de nuevas topologías jugará un papel importante para satisfacer los requisitos anteriores.

En el Capítulo 2 se discuten algunas topologías que pueden proporcionar amplios rangos de conversión y un voltaje bajo. Se proporciona un estudio comparativo entre los convertidores reductores cuadrático convencional y cuadrático síncrono. En ambos casos, se presentan las consideraciones de diseño de los convertidores no solamente para que puedan proporcionar las relaciones de conversión requeridas sino también para los rizados en los voltajes y corrientes en los capacitores e inductores. En el Capítulo 3 se muestra como es posible obtener un amplio rango de conversión cuando se agrega un arreglo de capacitores y diodos al convertidor. Este esquema también se conoce como multiplicador de voltaje. Un esquema de control es propuesto en el Capítulo 4 el cual

consiste en dos lazos de realimentación de acuerdo al control modo-corriente promedio. En el lazo interior se realimenta el error de la corriente con una alta ganancia y amplio ancho de banda para mejorar la velocidad de la respuesta transitoria. El lazo exterior de voltaje utiliza un control proporcional -integral con el propósito de regular el voltaje de salida. Esta estrategia de control funciona muy bien aún para amplios cambios en la carga. En el Capítulo 5 se concluye con algunos comentarios sobre las topologías presentadas y una perspectiva sobre trabajo futuro.

Abstract

The present trend in the design of microprocessors is driven by power supplies with a very low output voltage ($\sim 1\text{ V}$), a regulation window ($\sim 100\text{ mV}$), a wide voltage conversion ($1/12$ to $1/48$), and additionally an increment of current supplied ($\sim 100\text{ A}$) with a fast response. This trend represents a great challenge in the design of voltage regulators who are responsible to supply energy to the microprocessors. Voltage regulators should be designed without the excessive use of capacitors in the output. As a first choice, an optimized buck converter should be designed such that the requirements of the output current can be satisfied. In this converter, ceramic capacitors with a small equivalent series resistance should be used, which is the expected choice in voltage regulators for the next generation of microprocessors. In fact, the development of new topologies will play an important role to satisfy the aforementioned requirements.

In Chapter 2, a discussion is given for topologies that can satisfy a wide conversion ratio, a low voltage and a simple controller. A comparative study between the quadratic buck and synchronous converters is given. In both cases, the design considerations for the converters are given such that the required voltage conversions are obtained but the expressions for the voltage and current ripples of capacitors and inductors are given as well. In Chapter 3, it is shown how a wider range of conversion is obtained when an array of capacitors and diodes is added to the above converters. This scheme is also referred as a voltage multiplier. A controller is proposed in Chapter 4 based on average current-mode control that consists in two feedback loops. The inner current loop uses an error amplifier with high gain and wide bandwidth for a fast transient response. The outer voltage loop uses a proportional integral controller for voltage regulation

purposes. The above control strategy works very well even for step changes in the load. In Chapter 5, a discussion is given about the topologies and a perspective of future work as well.

Capítulo 1

Introducción

Recientes desarrollos tecnológicos requieren de fuentes de alimentación de bajo voltaje y alta corriente de salida. Un claro ejemplo, son los avances en la tecnología de microprocesadores que han impuesto nuevos retos en el diseño de sus sistemas de alimentación, ya que estos han de cumplir especificaciones cada vez más exigentes que sean acordes al incremento de la velocidad de operación y la capacidad de los microprocesadores. La salida de voltaje de estas fuentes de alimentación, debe ser de gran calidad para la correcta operación del microprocesador, lo cual dificulta enormemente su diseño.

1.1. El desarrollo de microprocesadores y sus fuentes de alimentación.

La constante evolución y complejidad de los sistemas digitales requieren de un incremento de la velocidad de procesamiento de la información, la cual se ve reflejada en el incremento del número de instrucciones que el microprocesador puede ejecutar por unidad de tiempo. Como consecuencia de esto, se genera un incremento del consumo de potencia del microprocesador, lo cual crearía un problema importante si no fuera porque al mismo tiempo su voltaje de alimentación tiende a reducirse a valores

incluso menores de 1 V. La Fig. 1.1 hace alusión, por una parte, a la tendencia en la reducción tanto del voltaje de alimentación de los microprocesadores, como al tamaño de los circuitos integrados en general. Así como también al incremento en la velocidad de operación de los microprocesadores y al aumento en la capacidad de los mismos.

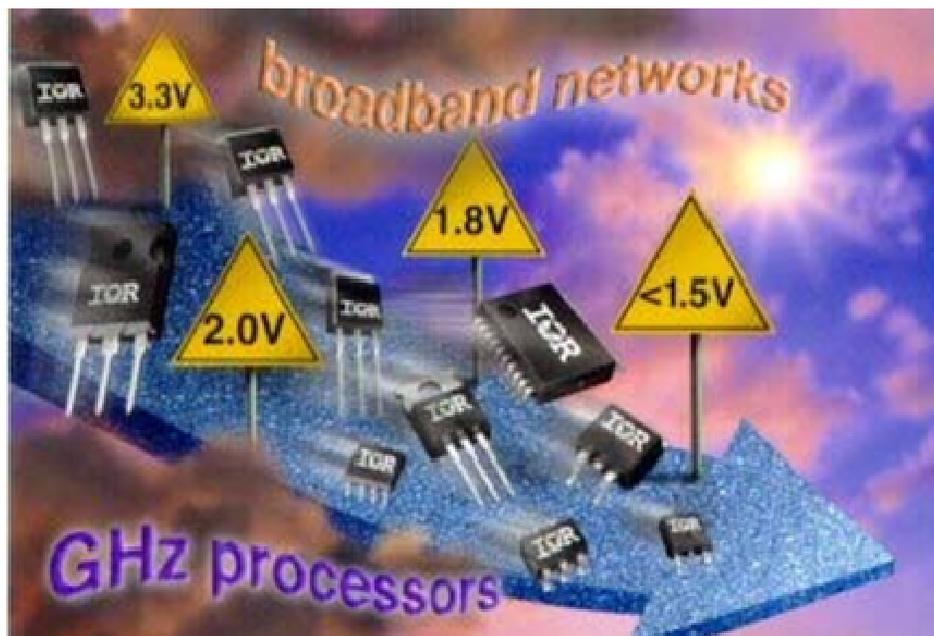


Figura 1.1. Tendencia de reducción de voltaje en microprocesadores

(bajo voltaje - bajo consumo de potencia) [1].

Los sistemas de alimentación de los nuevos microprocesadores deben estar diseñados para operar con un voltaje de salida cada vez menor y con una capacidad de regulación mayor. Estos dispositivos han sufrido grandes cambios en su tecnología en los últimos años ya que las aplicaciones de procesamiento de datos exigen microprocesadores con capacidades y velocidades de operación cada vez mayores [2, 3]. Como consecuencia, el número de transistores que se encuentra dentro del microprocesador se ha incrementado exponencialmente. La Fig. 1.2 muestra esta tendencia en los microprocesadores de Intel como resultado del incremento de su capacidad de operación [4].

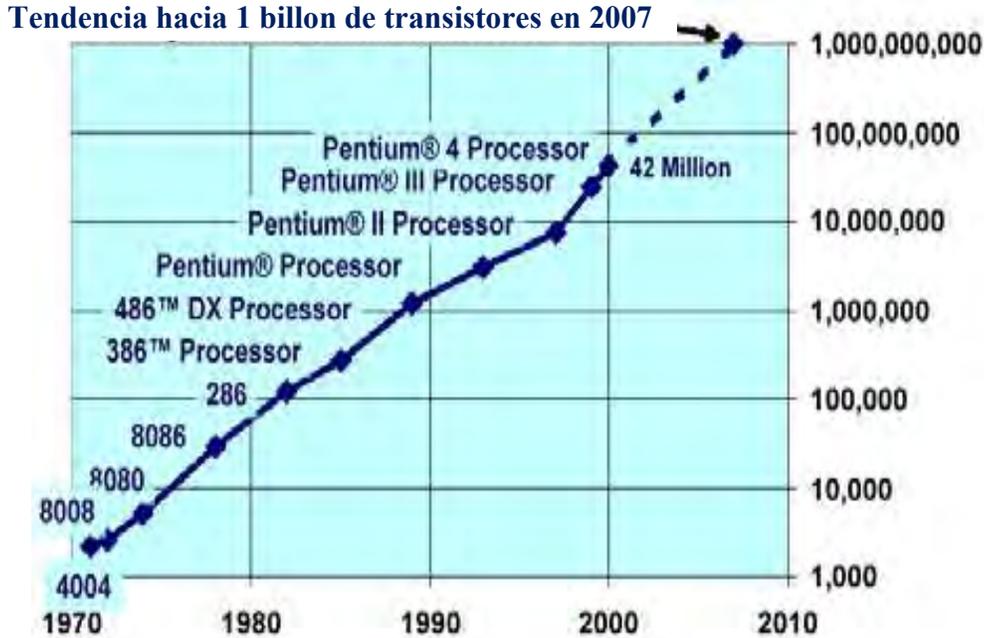


Figura 1.2. Tendencia del incremento del número de transistores en microprocesadores de Intel [5].

El microprocesador visto como carga electrónica es muy exigente y somete a la fuente de alimentación a condiciones de funcionamiento muy rigurosas, por lo que su diseño es cada vez más complejo y con requisitos dinámicos cada vez más elevados. Los bajos voltajes de alimentación, las altas corrientes de salida y las altas derivadas de corriente, son los retos actuales que imponen los microprocesadores a sus fuentes de alimentación. Toda esta tendencia repercute en un incremento de consumo de potencia, lo que genera un calentamiento adicional, siendo este, otro reto importante con el cual se enfrentan los diseñadores.

Los sistemas de alimentación para microprocesadores son conocidos como Módulos Reguladores de Voltaje (VRM, de las siglas en inglés *Voltage Regulator Module*) y además de estar basados en topologías de convertidores reductores CD/CD, están situados muy cerca del microprocesador con objeto de minimizar la impedancia parásita existente entre el microprocesador y el VRM como se observa en la Fig. 1.3.

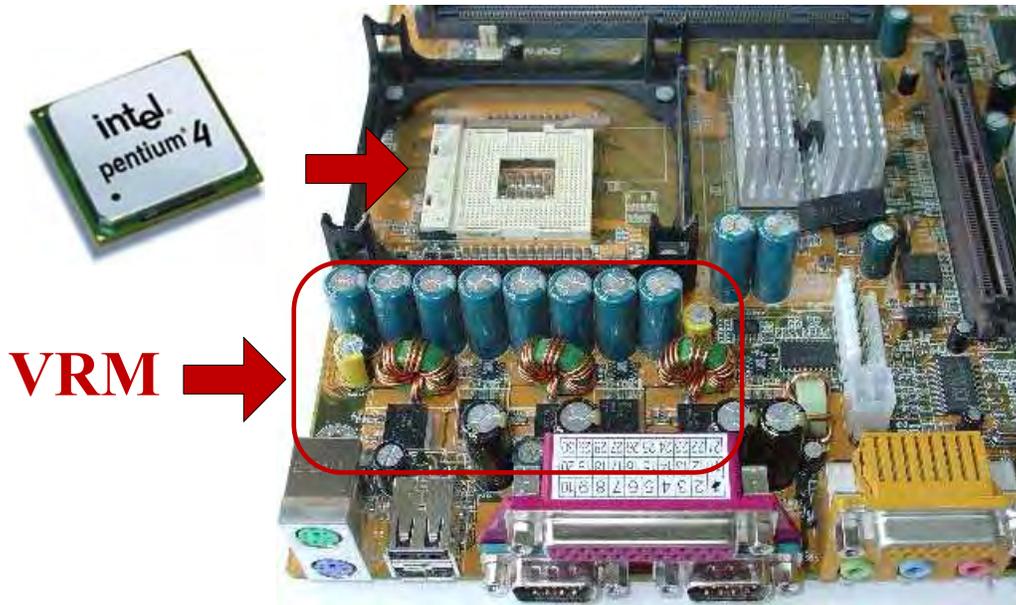


Figura 1.3. Tarjeta madre para un procesador Pentium 4 con VRM de tres fases [6].

1.2. Principales características de los VRM.

De todas las características de los VRM, dos son las principales que han de cumplir para satisfacer los requisitos impuestos por los microprocesadores:

1. **Bajo voltaje y alta corriente de salida.** En la medida que se incrementan las características del microprocesador tanto en velocidad como en capacidad de operación, es necesario reducir su voltaje de alimentación. Como consecuencia, la corriente que demanda el microprocesador se incrementa. En los microprocesadores actuales la corriente máxima demandada es superior a 130 A, y se espera en los próximos años corrientes superiores [7, 8, 9, 10, 11, 12].

En la Fig. 1.4 se puede observar una predicción de como evolucionará el incremento en la corriente y la potencia de los microprocesadores desarrollados por Intel.



Figura 1.4. Predicción del incremento de la corriente y potencia en microprocesadores Intel [13].

Esta corriente de salida tan alta ocasiona en la fuente de alimentación, el incremento en su temperatura y sobretodo afecta de manera significativa su eficiencia, ya que las pérdidas por conducción dependen del cuadrado de la corriente ($P = RI_{RMS}^2$).

- Rápida respuesta dinámica.** Los nuevos microprocesadores tienen cargas dinámicas que pueden cambiar rápidamente de un estado de bajo consumo a otro de alto y viceversa, en muy poco tiempo. Durante los transitorios, los actuales microprocesadores presentan razones de cambio (*slew rates*) de corriente de hasta $120 A/\mu s$, como se muestra en la Fig. 1.5, lo cual significa que la fuente de alimentación deberá ser capaz de proveer variaciones de corriente de $120 A$ en un periodo de tiempo de $1 \mu s$.

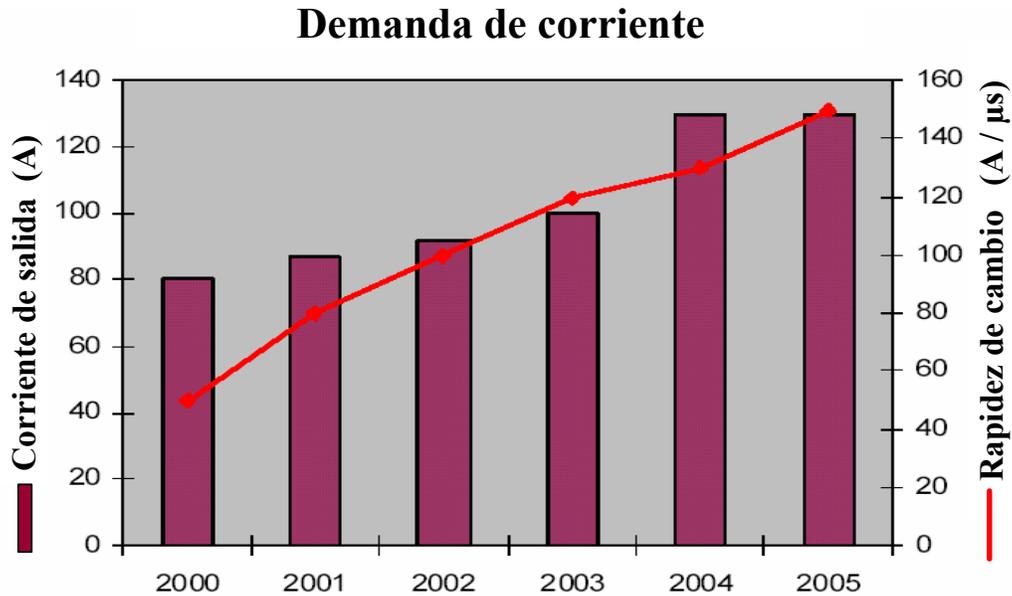


Figura 1.5. Necesidades de corriente en sistemas de alimentación en microprocesadores Intel [14].

Estas altas razones de cambio ($120 A/\mu s$) no representan problemas significativos para cambios de carga pequeños. Sin embargo, sí representan un grave problema para cambios de carga mayores ($1 - 100 A$), como usualmente ocurre en sistemas con administración de energía cuando el sistema hace una transición de modo activo a modo de bajo consumo de energía y viceversa.

En la Tabla. 1.1 se muestra un ejemplo de las especificaciones de un VRM publicadas por *intel*[®], las cuales corresponden a la familia de microprocesadores de doble núcleo *Xenon*[™] y de cuatro núcleos *Itanium*[™], cuya frecuencia de reloj es $2.5 - 3.4 GHz$ [15].

Como consecuencia se espera que en los próximos años estos microprocesadores requieran mucho más energía y se conviertan en cargas aún más dinámicas que los microprocesadores actuales [16].

Tabla 1.1. Especificaciones para diferentes versiones de VRM de Intel

Especificación	Dual Core Xenon (Quad-Core Itanium)		
	VRM 10.0	VRM 10.1(10.2L)	VRM 11.0
I_{CCTDC} [A]	85	102	130
I_{CCmax} [A]	100	120	150
ΔI_{CC} [A]	70	100	100
dI_{out}/dt [A/ μs]	560	930	1200
dI_{in}/dt [A/ μs]	0.5		
V_{outmin} [V]	0.837		
V_{outmax} [V]	1.6		
V_{in} [V]	12		

donde:

- I_{CCTDC} , corriente continua de salida
- I_{CCmax} , corriente máxima de salida
- ΔI_{CC} , escalón máximo de corriente de salida
- dI_{out}/dt , máxima derivada de la corriente
- V_{outmin} , voltaje mínimo de salida
- V_{outmax} , voltaje máximo de salida
- V_{in} , voltaje de entrada

Por otra parte, para incrementar aún más la velocidad de procesamiento y disminuir el consumo de potencia, los voltajes de operación de la próxima generación de microprocesadores disminuirán a niveles por debajo de 1 V.

1.3. Arquitecturas de los sistemas de alimentación en los microprocesadores

Los VRMs se alimentan de los voltajes provenientes del sistema de alimentación centralizado de una computadora personal, mismos que se usan para alimentar a otros dispositivos del sistema tales como los discos duros ($5\text{ V} - 12\text{ V}$) y otros dispositivos lógicos (5 V). La mayoría de los reguladores de voltaje están basados en el convertidor reductor síncrono multifase y son alimentados desde una tensión de entrada de 5 V [17]. Sin embargo, este voltaje es bajo para aplicaciones futuras de procesamiento de alta corriente y baja tensión de salida. Los microprocesadores Pentium 4 más recientes, emplean un VRM basado en el convertidor reductor síncrono multifase alimentado desde un voltaje de 12 V . Sin embargo, un regulador con un voltaje de salida tan pequeño como 1 V y con un voltaje de entrada de 12 V opera con un ciclo de trabajo muy pequeño, lo cual impide optimizar la eficiencia así como una reducción del rizo de salida.

Una solución más atractiva es un sistema de alimentación distribuido con un bus de voltaje de entrada de 48 V . Comparado con un sistema de alimentación centralizado con un bus tan bajo de 5 V , un sistema de alimentación distribuido es más fácil de optimizar. En este último, el transitorio causado por la carga tiene menor efecto en el bus del voltaje de entrada; y por tanto, menor efecto en los demás dispositivos conectados en el mismo sistema de alimentación. Asimismo, en un sistema distribuido los componentes parásitos del sistema también tienen menor impacto y las pérdidas por conducción del bus son menores. Considerando lo anterior, las fuentes de alimentación de los VRMs con tensión de entrada de 48 V se han establecido como un estándar práctico para aplicaciones de estaciones de trabajo [18, 19]. En la Fig. 1.6 se muestran estas dos arquitecturas de sistemas de alimentación.

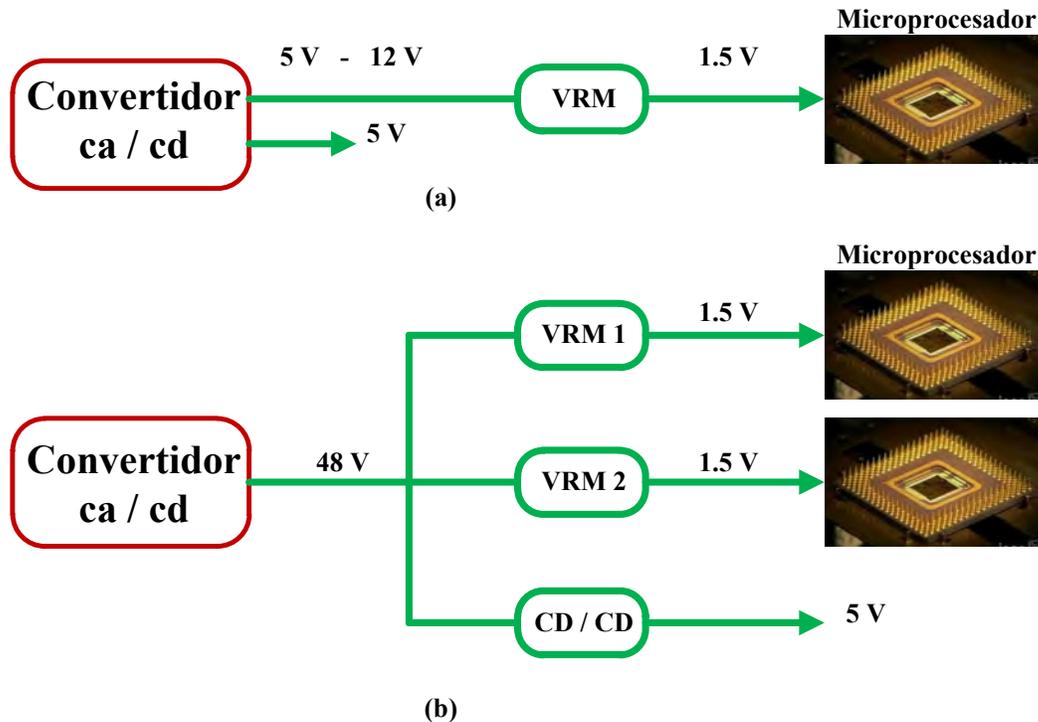


Figura 1.6. Arquitecturas de sistemas de alimentación.

(a) Sistema centralizado. (b) Sistema distribuido

En consecuencia, mientras la demanda de corriente de los microprocesadores aumenta de manera exponencial, los VRMs requieren operar con voltajes de entrada mayores para reducir las pérdidas por distribución y simplificar el diseño del sistema de alimentación [20]-[21].

Por otra parte, debido al limitado espacio físico en la placa base, tanto la densidad de potencia como el rendimiento son también factores muy importantes a tener en cuenta a la hora de diseñar. Todas estas características imponen nuevos retos en el diseño de los VRM actuales.

1.4. Convertidores de bajo voltaje destinados a la alimentación de microprocesadores

Como se ha comentado anteriormente, los futuros microprocesadores traen consigo un incremento de las exigencias, particularmente hacia sus fuentes de alimentación. Para alcanzar estas especificaciones se requiere en un futuro, un elevado rendimiento, una elevada densidad de potencia y una respuesta dinámica rápida [15, 16, 17]. Para alcanzar estos objetivos es necesario que los nuevos cambios tecnológicos en las fuentes de alimentación de los microprocesadores estén dirigidos a:

- **Topologías avanzadas de los reguladores de voltaje:** tanto en alto rendimiento como en alta densidad de potencia y rápida respuesta ante transitorios de carga para aplicaciones de baja tensión y altas corrientes.
- **Rectificación síncrona eficiente:** nuevas formas o topologías de disparo que reduzcan las pérdidas en los diodos cuando operan a frecuencias de conmutación elevadas.
- **Integración de magnéticos:** menos pérdidas tanto en el núcleo como en los devanados y de fácil fabricación para obtener elevados rendimientos y elevadas densidades de potencia.
- **Dispositivos de potencia avanzados:** utilizando dispositivos de potencia con nueva tecnología para aplicaciones de baja tensión, altas corrientes y altas frecuencias.
- **Optimización del número de fases de los reguladores de voltaje:** crear una metodología para determinar el número apropiado de fases y el valor óptimo de la inductancia de salida para un diseño óptimo del regulador de voltaje.
- **Tecnologías avanzadas de encapsulado:** esto permite minimizar los parásitos para la operación a altas frecuencias.

1.5. Objetivo general del trabajo

El objetivo de este trabajo de investigación está centrado en una discusión sobre topologías de convertidores a ser usadas en los reguladores conmutados para aplicaciones de bajo voltaje y altas corrientes de salida con grandes relaciones de conversión de voltaje evitando ciclos de trabajo extremadamente pequeños aplicando propuestas basadas en nuevas soluciones topológicas y/o en nuevas estrategias de control.

1.6. Justificación

Debido a las mejoras en la tecnología de los dispositivos para el procesamiento de la información como son los microprocesadores, se investiga la problemática asociada con el sistema de regulación de voltaje para poder encontrar soluciones que aumenten su desempeño tanto en su eficiencia como en un mayor rango de conversión.

Una de las principales preocupaciones hoy en día es mantener alta la eficiencia de las fuentes de alimentación de microprocesadores durante todo el rango de variación de la carga, debido a que esta es baja a plena carga, mientras que en carga baja la eficiencia se incrementa. Un estudio de las pérdidas en el convertidor reductor síncrono puede aportar los elementos para mejorar el diseño del sistema de alimentación de voltaje e incrementar su eficiencia. Por otra parte, se requieren fuentes de alimentación con voltajes cada vez más reducidos con el propósito de obtener una menor pérdida de potencia en los microprocesadores.

Capítulo 2

Convertidores reductores

En este capítulo se lleva a cabo una discusión sobre diversas configuraciones de convertidores conmutados que permiten obtener en la salida voltajes con un menor valor que el voltaje de entrada. Se discute de manera general su funcionamiento y se muestran sus principales características y limitaciones en sus aplicaciones en reguladores de muy bajo voltaje y alta corriente en la salida.

2.1. Convertidor reductor convencional

En teoría, un amplio rango de conversión de voltaje puede obtenerse ajustando el ciclo trabajo U del convertidor reductor convencional [22, 23], cuyo diagrama se muestra en la Fig. 2.1.

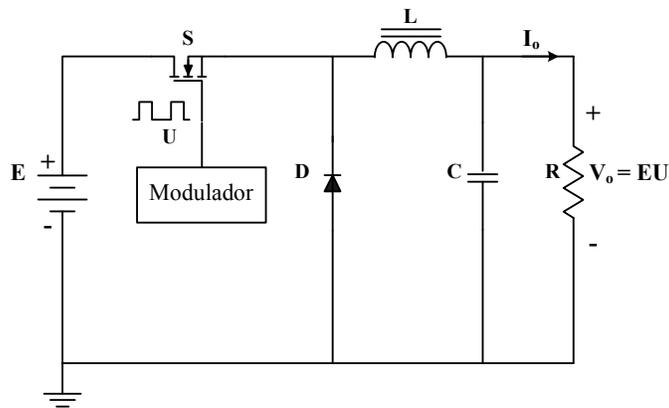


Figura 2.1. Diagrama eléctrico de un convertidor reductor convencional.

donde S es el interruptor principal, D es el diodo conocido como de rueda libre, L y C representan un inductor y un capacitor respectivamente, y donde el voltaje de salida V_o es una función del voltaje de entrada E y del ciclo de trabajo U .

$$V_o = UE \quad (2.1)$$

En la práctica, la relación de conversión está limitada por el mínimo tiempo de encendido del interruptor S y llega a ser más restrictivo conforme la frecuencia de conmutación se incrementa. En aplicaciones que requieren una gran reducción de voltaje, el mínimo tiempo de encendido está limitado por las características físicas del interruptor. Es decir, ya que el interruptor no enciende ni apaga instantáneamente si no que se requiere un tiempo de encendido y un tiempo de apagado, el ciclo de trabajo no puede ser menor que la suma de estos dos tiempos, como se muestra en la Fig. 2.2.

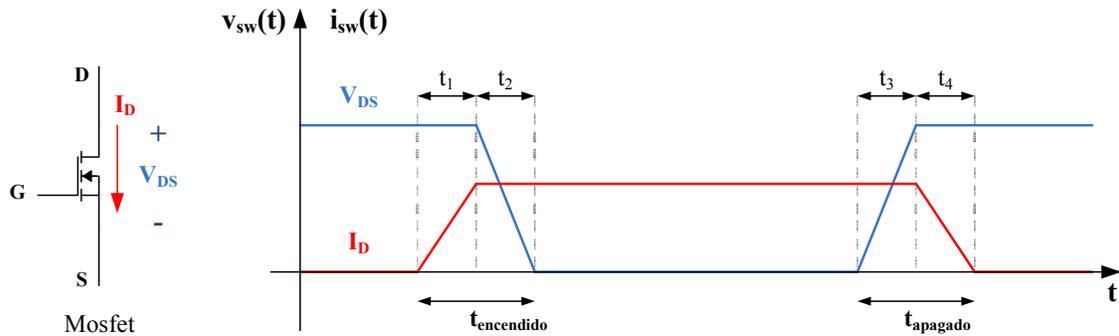


Figura 2.2. Transiciones de voltaje y corriente en interruptor real (mosfet).

Por lo tanto, en la práctica, la relación de conversión de este convertidor también depende de la frecuencia de conmutación.

Por otra parte, la eficiencia η del convertidor disminuye conforme el voltaje de salida V_o se reduce. La Fig. 2.3 muestra la variación de la eficiencia del convertidor reductor conforme el voltaje de salida V_o disminuye. El elemento del convertidor que más impacta en la eficiencia del convertidor es el diodo D , ya que por una parte, el tiempo de operación de este elemento se incrementa conforme el ciclo de trabajo disminuye y por otra parte, su caída de voltaje es cada vez más cercana en valor al del voltaje de salida V_o .

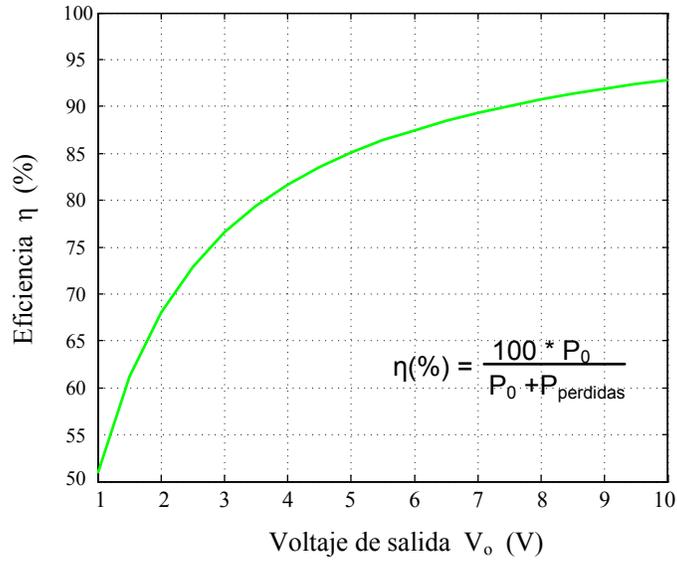


Figura 2.3. Gráfica de eficiencia conforme se reduce el voltaje de salida.

En la Fig. 2.4 se muestra la variación de la eficiencia de este convertidor conforme el ciclo de trabajo U varía. Como se puede observar, para ciclos de trabajo menores que 0.2 la eficiencia disminuye drásticamente, por lo que es recomendable que el ciclo de trabajo sea mayor que este valor.

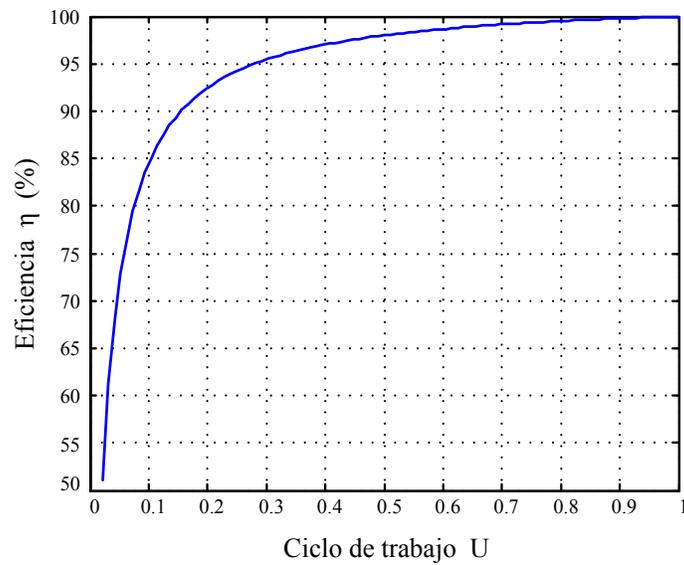


Figura 2.4. Gráfica de la eficiencia con respecto a la variación del ciclo de trabajo U .

Con objeto de estudiar el comportamiento dinámico de este convertidor, se obtiene un modelo matemático [3, 4]-[22], el cual se basa en espacio de estados y en definir dos condiciones de operación del interruptor activo. Estas dos condiciones de operación del interruptor activo S son:

$$S = \text{cerrado} \Rightarrow (q = 1) \quad y \quad S = \text{abierto} \Rightarrow (q = 0)$$

Los dos estados del sistema a considerar son: la corriente en el inductor i_L y el voltaje en el capacitor v_C (el cual también representa el voltaje de salida v_o).

Los circuitos equivalentes para ambas condiciones de operación se muestran en la Fig. 2.5

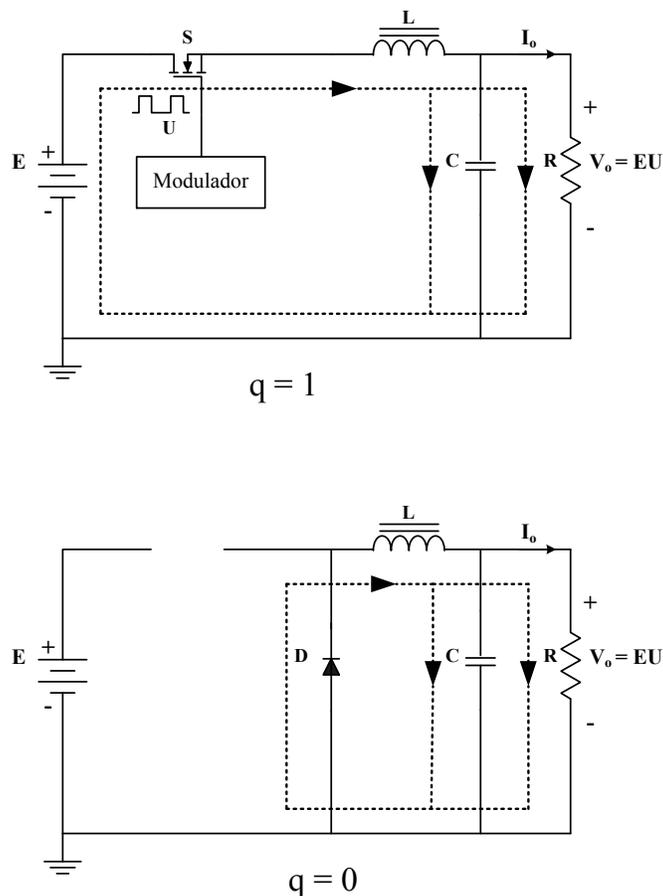


Figura 2.5. Modos de operación del convertidor reductor.

A partir de lo anterior se puede obtener el modelo no lineal conmutado del convertidor reductor que está dado por:

$$\begin{bmatrix} \dot{i}_L \\ \dot{v}_C \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{RC} \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix} + \begin{bmatrix} \frac{q}{L} \\ 0 \end{bmatrix} E \quad (2.2)$$

donde la variable conmutada $q = \{0, 1\}$ es el estado de control del interruptor S.

Considerando que se trabaja bajo un esquema de modulación PWM, se obtiene el modelo promedio del sistema dado por la siguiente expresión:

$$\begin{bmatrix} \dot{i}_L \\ \dot{v}_C \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{RC} \end{bmatrix} \begin{bmatrix} i_L \\ v_C \end{bmatrix} + \begin{bmatrix} \frac{u}{L} \\ 0 \end{bmatrix} E \quad (2.3)$$

donde al integrar la señal conmutada q sobre un periodo de conmutación T , la nueva variable de control es u . Esta representación es válida para convertidores operados a alta frecuencia, ya que al tomar una frecuencia de conmutación suficientemente grande los valores promedio de las variables reales se acercan a los valores instantáneos.

Los valores de CD de las variables de estado, es decir el punto de equilibrio, se pueden obtener a partir del modelo promedio igualando a cero la expresión en (2.3) y despejando para cada variable se tiene:

$$I_L = \frac{V_o}{R} \quad (2.4)$$

$$V_o = UV_o \quad (2.5)$$

Linealizando el modelo promedio alrededor del punto de operación (punto de equilibrio) se obtiene una expresión de la forma siguiente:

$$\begin{bmatrix} \dot{\tilde{i}}_L \\ \dot{\tilde{v}}_C \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{RC} \end{bmatrix} \begin{bmatrix} \tilde{i}_L \\ \tilde{v}_C \end{bmatrix} + \begin{bmatrix} \frac{E}{L} & \frac{U}{L} \\ 0 & 0 \end{bmatrix} \begin{bmatrix} \tilde{u} \\ \tilde{e} \end{bmatrix} \quad (2.6)$$

En la expresión (2.6) el símbolo (\sim) representa perturbaciones y las letras en mayúsculas valores en el punto de equilibrio. El modelo lineal invariante en el tiempo describe aproximadamente el comportamiento del circuito para frecuencias por abajo de la mitad de la frecuencia de conmutación; y por lo tanto, no es válido para predecir oscilaciones subarmónicas debidas a las inestabilidades del rizo.

Se asume que el convertidor trabaja en modo de conducción continua (MCC), es decir la corriente del inductor nunca llega a un valor de cero o negativo [24, 25]. Esta condición de operación esta ligada a los valores de la inductancia, la resistencia de carga del convertidor y a la frecuencia de conmutación, por la siguiente relación:

$$\frac{2Lf}{R} > (1-U) \quad (2.7)$$

En la práctica, el convertidor reductor convencional tiene rangos mínimos y máximos que el ciclo de trabajo u puede alcanzar debido a las características de operación de los elementos de conmutación. Por esta razón los tiempos de encendido y apagado del elemento activo de conmutación juegan una papel muy importante en el ciclo de trabajo y consecuentemente en la relación de conversión. Además, cuando el valor del ciclo de trabajo es muy cercano a uno de sus extremos tanto al valor 0 como al valor 1, existe un gran deterioro en las señales de voltaje de salida y corriente del inductor; y por consecuencia, en la señal de control.

Para configuraciones con voltaje de entrada de 12 V y salida de 1.5 V con corrientes de entre 15 A y 20 A se propone el uso en el convertidor reductor convencional de un

interruptor síncrono, el cual consiste en remplazar el diodo D en la Fig. 2.1, por un MOSFET el cual opera con una señal que está sincronizada con la señal del MOSFET principal, como se muestra en la Fig. 2.6.

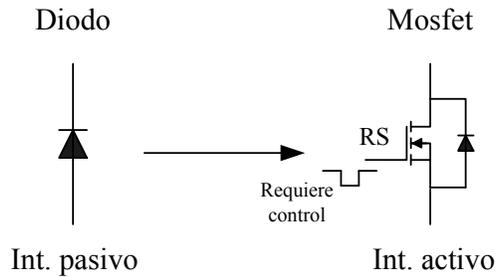


Figura 2.6. Sustitución de interruptor pasivo por interruptor activo.

Al sustituir en el convertidor reductor el interruptor pasivo por un interruptor activo o rectificador síncrono RS , se reducen considerablemente las pérdidas de conducción ya que mientras más bajo sea el voltaje de salida V_o el tiempo que está operando el RS es mayor. Esta configuración se muestra en la Fig. 2.7.

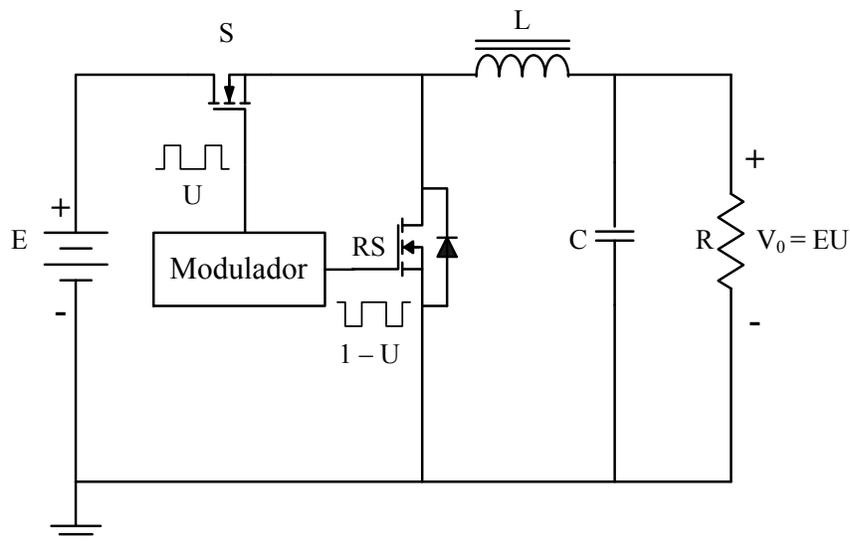


Figura 2.7. Convertidor reductor síncrono.

Sin embargo, al sustituir el diodo (interruptor pasivo) por el MOSFET (rectificador síncrono) se requiere una señal de control para poder abrir y cerrar este interruptor activo, además de que esta señal de control debe estar en sincronía con la señal de control del interruptor principal S y garantizar que en ningún momento los dos interruptores tanto el principal S como el RS estén cerrados al mismo tiempo ya que esta situación ocasionaría un corto-circuito.

En la Fig. 2.8 se muestra la comparación de eficiencias entre el convertidor reductor convencional y el convertidor reductor síncrono conforme se aumenta el voltaje de salida.

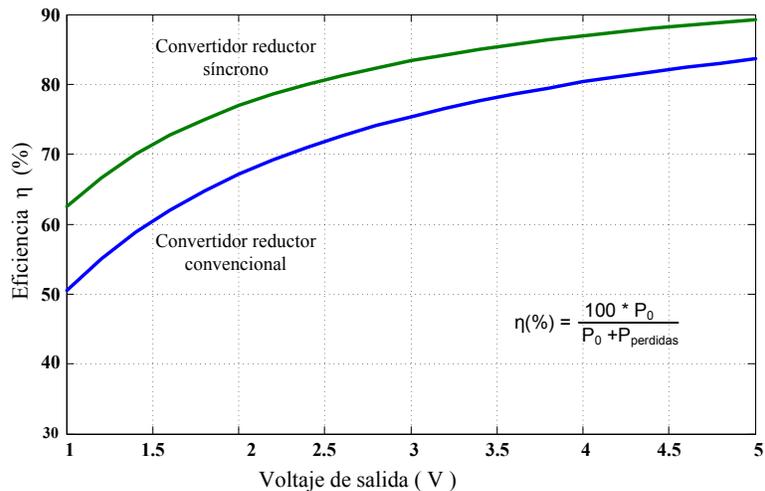


Figura 2.8. Comparación de eficiencias entre convertidores reductores.

2.2. Convertidores entrelazados

Una técnica que permite minimizar el valor del capacitor de salida, es la construcción de convertidores entrelazados, la cual consiste en un cierto número de convertidores individuales conectados en paralelo en los cuales las señales que los manejan están entrelazadas y defasadas de manera que siempre se tiene un convertidor trabajando a la

vez, de aquí que se conocen también con el nombre de convertidores multifase [26-31]. Un circuito típico de esta configuración se muestra en la Fig. 2.9.

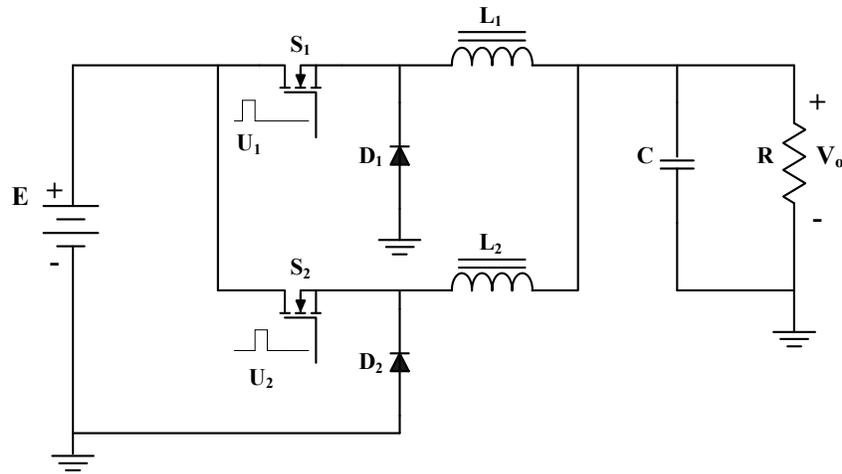


Figura 2.9. Diagrama eléctrico de un convertidor reductor entrelazado.

donde E es la fuente de alimentación, S_1 y S_2 son los interruptores principales de cada convertidor entrelazado y U_1 , U_2 son señales de control, las cuales están defasadas y están dentro de un periodo de conmutación.

Para alcanzar una gran reducción en el valor del voltaje de salida, el convertidor debe operarse a un ciclo de trabajo extremadamente bajo; por lo tanto, persisten los problemas en la respuesta transitoria así como en la eficiencia del convertidor. Para extender el ciclo de trabajo se han propuesto modificaciones tales como las del uso de un inductor en varias etapas o el acoplamiento de inductores de varias etapas. Este tipo de configuraciones presenta como inconveniente que la inductancia de acoplamiento entre varios embobinados causa picos muy severos de voltaje en los dispositivos de conmutación utilizados.

2.3. Convertidor en cascada de n-etapas y n-interruptores activos

Otras alternativas proponen el uso de transformadores dentro de la configuración reductora del convertidor los cuales son también conocidos como convertidores aislados. En este caso, se producen grandes picos de elevación en el voltaje aplicado a los elementos de conmutación debidos a las inductancias del transformador, los cuales se ven sometidos a grandes esfuerzos, con el consecuente daño a los mismos. Una configuración que proporciona un amplio rango de conversión de voltaje, sin usar un transformador, es aquella formada a partir de n convertidores convencionales conectados en cascada [24, 25], donde el número de convertidores en cascada depende del voltaje requerido y del ciclo de trabajo a considerar. Para el caso particular de un convertidor reductor de dos etapas, su diagrama eléctrico se muestra en la Fig. 2.10.

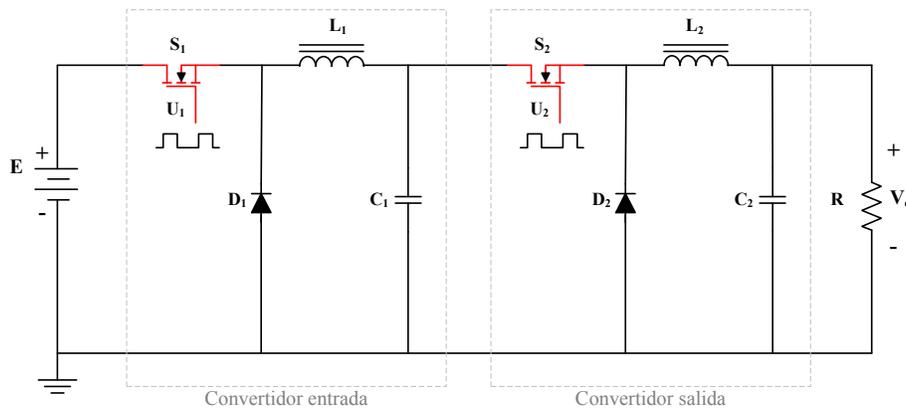


Figura 2.10. Convertidor reductor en cascada de dos etapas.

La relación entre el voltaje de entrada y el voltaje de salida en función de los ciclos de trabajo nominales U_i está dada por:

$$\frac{V_0}{E} = \prod_{i=1}^n U_i \quad (2.8)$$

por lo tanto, para el convertidor reductor de dos etapas quedará dado por:

$$V_0 = U_1 U_2 E \quad (2.9)$$

donde U_1 es el ciclo de trabajo del convertidor de entrada y U_2 el ciclo de trabajo del convertidor de salida. Para este tipo de convertidor la representación promedio en espacio de estados no lineal es de la forma:

$$\begin{bmatrix} \dot{i}_{L1} \\ \dot{i}_{L2} \\ \dot{v}_{C1} \\ \dot{v}_{C2} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{1}{L_1} & 0 \\ 0 & 0 & \frac{u_1}{L_2} & -\frac{1}{L_2} \\ \frac{1}{C_1} & -\frac{u_2}{C_1} & 0 & 0 \\ 0 & \frac{1}{C_2} & 0 & -\frac{1}{RC_2} \end{bmatrix} \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C1} \\ v_{C2} \end{bmatrix} + \begin{bmatrix} \frac{u_1}{L_1} \\ 0 \\ 0 \\ 0 \end{bmatrix} e \quad (2.10)$$

donde u_1 y u_2 son las señales de control de los interruptores activos.

Los convertidores en cascada han sido modelados por otros tipos de técnicas, tal como la de diagramas de señales de flujo [26-28], obteniéndose modelos no lineales para su representación.

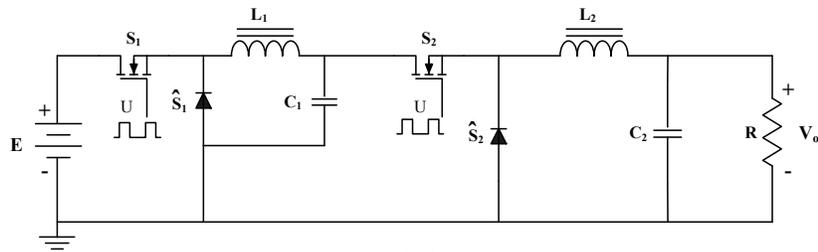
Los modelos promedio igualmente se pueden linealizar alrededor de un punto de operación, obteniéndose expresiones de la forma:

$$\begin{bmatrix} \dot{\tilde{i}}_{L1} \\ \dot{\tilde{i}}_{L2} \\ \dot{\tilde{v}}_{C1} \\ \dot{\tilde{v}}_{C2} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{1}{L_1} & 0 \\ 0 & 0 & \frac{\tilde{u}_1}{L_2} & -\frac{1}{L_2} \\ \frac{1}{C_1} & -\frac{\tilde{u}_2}{C_1} & 0 & 0 \\ 0 & \frac{1}{C_2} & 0 & -\frac{1}{RC_2} \end{bmatrix} \begin{bmatrix} \tilde{i}_{L1} \\ \tilde{i}_{L2} \\ \tilde{v}_{C1} \\ \tilde{v}_{C2} \end{bmatrix} + \begin{bmatrix} \frac{\tilde{u}_1}{L_1} \\ 0 \\ 0 \\ 0 \end{bmatrix} \tilde{e} \quad (2.11)$$

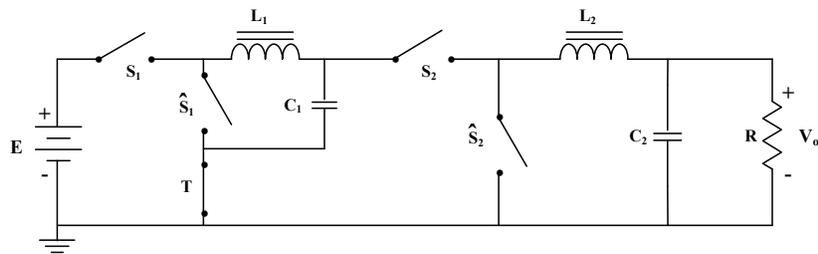
donde el símbolo (\sim) representa perturbaciones y las letras en mayúsculas los valores en el punto de equilibrio.

2.4. Convertidores reductores cuadráticos

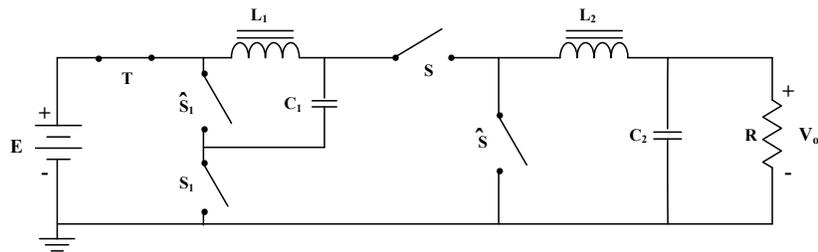
Una de las principales desventajas que presenta la conexión de n-convertidores en cascada, es el incremento a la complejidad de los circuitos de control, debido a la existencia de más interruptores activos [24][32]. Teniendo como fundamento la razón antes expuesta, se ha propuesto la construcción de convertidores de dos etapas con un solo interruptor activo [33-36]. Donde primeramente muestran que este tipo de convertidores necesariamente utiliza en su construcción dos inductores, dos capacitores y cuatro interruptores. Posteriormente, utilizando el concepto de celda de conmutación mostrado en la Fig. 2.11, encuentran que con la colocación y polarización adecuada de los interruptores activos y pasivos, puede implementarse un circuito equivalente con sólo un interruptor activo.



(a)



(b)



(c)

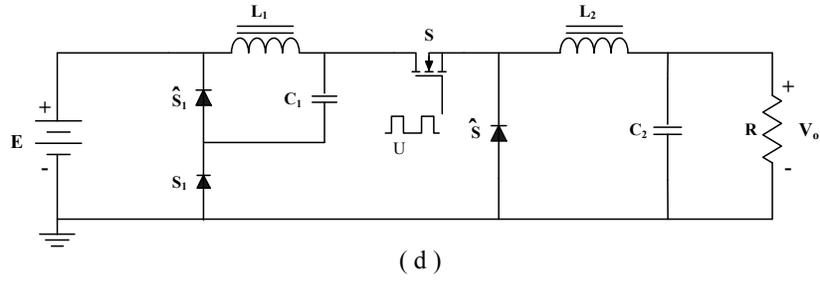
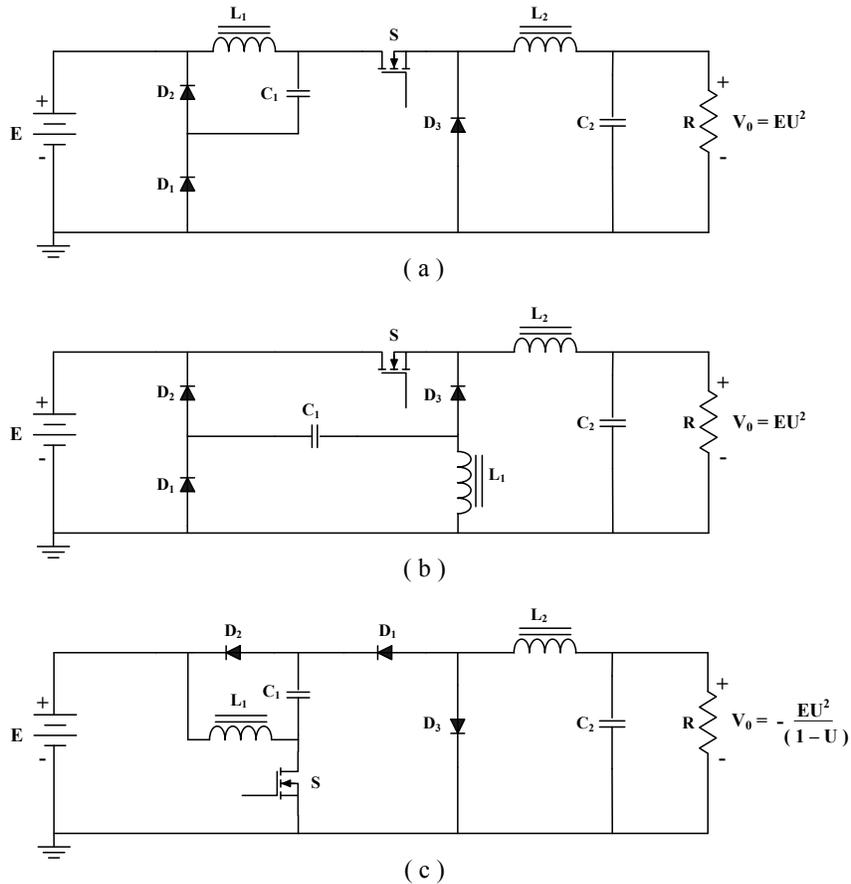


Figura 2.11. Convertidor reductor cuadrático: (a) convertidor reductor con dos interruptores activos, (b) representación del circuito con interruptores, (c) circuito equivalente con interruptores y (d) convertidor reductor cuadrático con un solo interruptor activo.

A partir de este concepto se sintetizan las seis configuraciones de convertidores reductores y reductores-elevadores, con dependencia cuadrática del voltaje de salida respecto al ciclo de trabajo, mostradas en la Fig. 2.12.



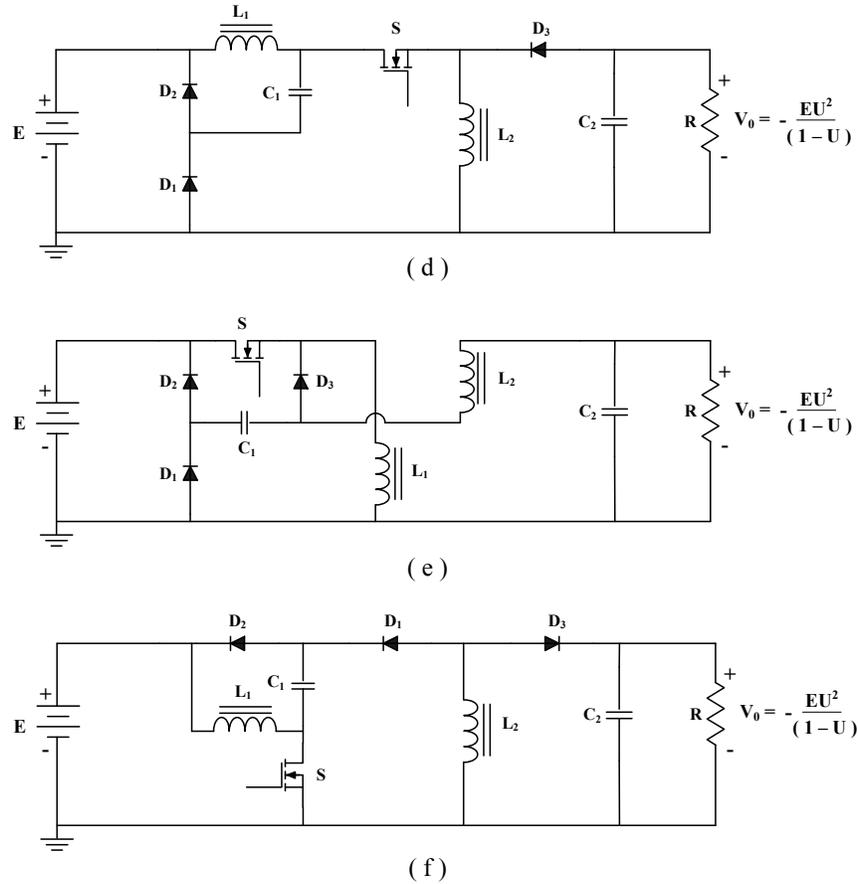


Figura 2.12. Convertidores cuadráticos: (a) convertidor clase A_1 , (b) convertidor clase A_2 , (c) convertidor clase B_1 , (d) convertidor clase B_2 , (e) convertidor clase B_3 y (f) convertidor clase C_1 .

Igualmente en [30] se discuten las características en CD de cada una de las configuraciones en modo de conducción continua (MCC) y en modo de conducción discontinua (MCD), estableciendo las condiciones de los valores de los elementos del circuito para la primera condición.

La razón de conversión entre el voltaje de entrada y el voltaje de salida de los convertidores cuadráticos mostrados en la Fig. 2.12 se deriva suponiendo operación en MCC. En MCC todos los voltajes de los capacitores y todas las corrientes de los inductores son cantidades de CD con un rizo de corriente alterna (CA) superpuesto relativamente pequeño. Es importante mencionar que los tiempos de encendido y apagado de los diodos están sincronizados con el tiempo de encendido y apagado del MOSFET.

Para mostrar el funcionamiento de estos convertidores, a continuación se analiza el convertidor clase A_1 correspondiente a la Fig. 2.12 a). En este análisis se supone que los rizados de CA en los voltajes de capacitores y corriente de inductores por ser tan pequeños no son tomados en cuenta. En el convertidor clase A_1 , cuando el MOSFET está encendido, el diodo D_1 se enciende simultáneamente, conduciendo la corriente I_{L_1} . La corriente promedio en el MOSFET es UI_{L_2} . Debido a que la corriente promedio en el MOSFET también es igual a I_{L_1} se tiene entonces que $i_{D_1} = I_{L_2}(1-U)$ lo que confirma que el diodo D_1 está encendido efectivamente. Durante el tiempo de encendido del MOSFET, los diodos D_2 y D_3 están apagados. Cuando el MOSFET es apagado al mismo tiempo se apaga el diodo D_1 y, el diodo D_2 proporciona un camino para la corriente I_{L_1} , mientras que el diodo D_3 proporciona un camino para la corriente I_{L_2} . Puesto que las dos redes conmutadas en el convertidor clase A_1 son eléctricamente idénticas a las de redes conmutadas de los dos convertidores reductores en cascada, el convertidor clase A_1 tiene una relación de conversión del tipo $M(U) = U^2$.

El convertidor clase A_1 puede verse como un convertidor formado por una etapa reductora pasiva (L_1, C_1, D_1, D_2) y un etapa reductora activa (L_2, C_2, D_3, S). El encendido de los diodos dentro del convertidor reductor pasivo es consecuencia de la entrada de corriente pulsante del convertidor reductor activo. Por lo tanto, si otro tipo de convertidores con corriente pulsante de entrada son precedidos por un etapa pasiva reductora, su relación de conversión estará multiplicada por U . Tal es el caso de los convertidores clase B_2 que son la conexión de un convertidor reductor pasivo y un reductor-elevador activo.

2.5. Otros tipos de convertidores reductores propuestos

Debido a la necesidad antes indicada de convertidores de voltaje bajo y corriente alta, cuya principal aplicación son las nuevas generaciones de microprocesadores y sistemas de comunicación de datos, se han propuesto las configuraciones antes mostradas en la Fig. 2.12. Para lograr más amplios rangos de conversión en convertidores CD-

CD conmutados, como puede observarse, se forman configuraciones en cascada de dos etapas utilizando convertidores convencionales en la primera etapa y convertidores con transformadores en la segunda.

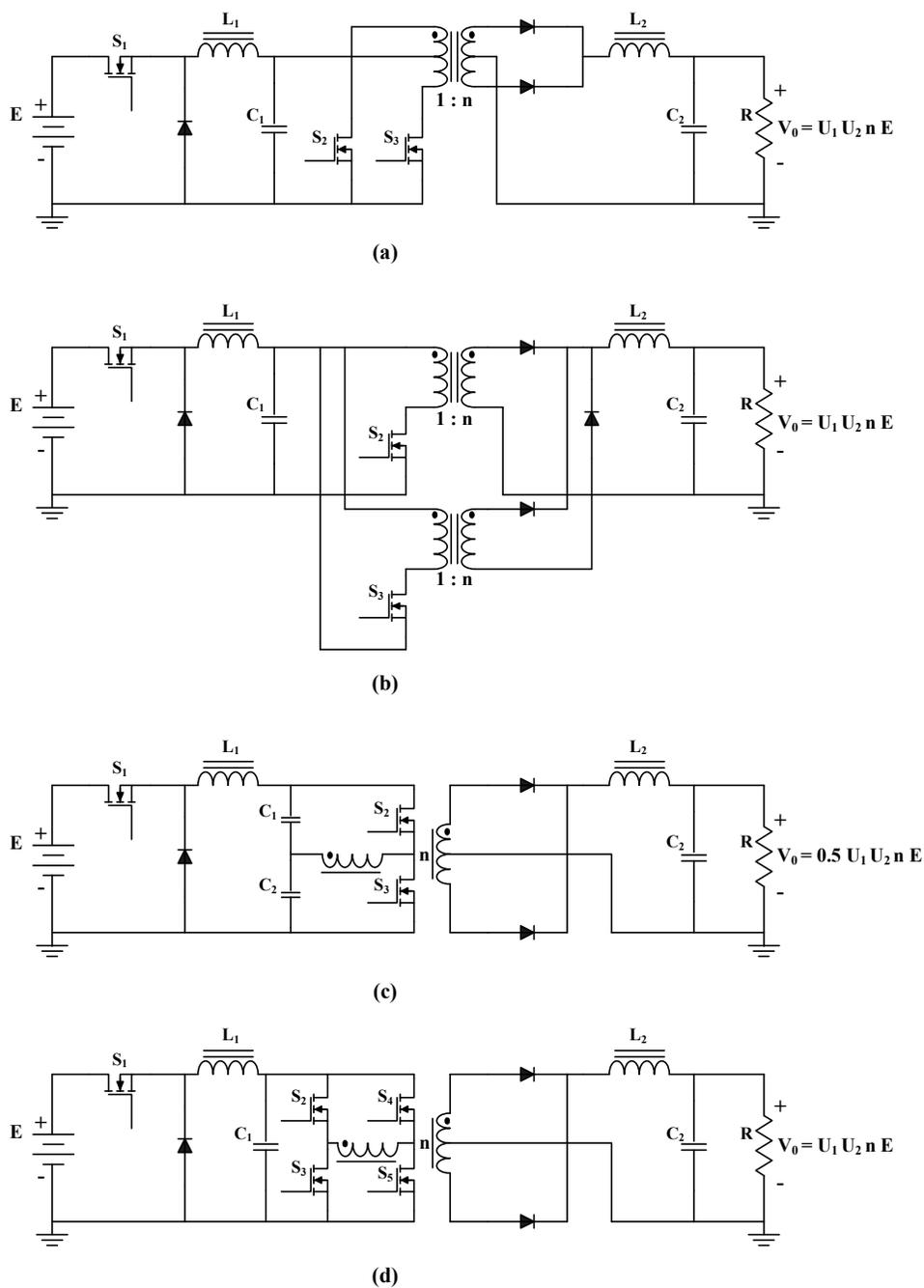


Figura 2.13. Convertidores de amplio rango de conversión con etapa aislada.

En la Fig. 2.13 S_1 corresponde al interruptor activo de la etapa conmutada convencional, el cual opera con un ciclo de trabajo U_1 . Los interruptores activos de la etapa aislada se representan como S_2 a S_5 . En las tres primeras configuraciones, los interruptores S_2 y S_3 operan con el mismo ciclo de trabajo U_2 , pero en períodos de conmutación alternados.

En la cuarta configuración operan simultáneamente los interruptores S_2 con S_5 y S_3 con S_4 . Los cuatro interruptores operan con el mismo ciclo de trabajo U_2 , pero cada par señalado trabaja en períodos de conmutación alternados.

Sobre las configuraciones utilizadas en la segunda etapa, se puede mencionar que la usada más comúnmente es la denominada de contrafase, ya que es la más adecuada para manejar voltajes relativamente bajos, debido a que presenta pocas pérdidas en el primario, ya que en todo momento existe sólo un transistor conectado en serie con el voltaje de entrada.

Esta configuración presenta como desventaja problemas de saturación del transformador debido a que no se puede garantizar que el tiempo de conducción de los transistores S_2 y S_3 sea exactamente igual y puede existir desbalance de corriente, causando que la componente de DC aplicada al transformador no sea exactamente cero. Por esta razón, cada dos periodos de conmutación puede existir un incremento en la magnitud de la corriente magnetizante, y al continuar este desbalance, la corriente inclusive puede llegar a saturar el transformador. Adicionalmente presenta suboptimización del transformador ya que sus embobinados primario y secundario tienen una toma central de voltaje.

La configuración en adelante es apropiada para el manejo de corriente alta debido a que su corriente de salida no es pulsante. Tiene pocas pérdidas en el núcleo magnético, pero presenta como desventaja que solo puede utilizarse con un ciclo de trabajo que varíe entre $0 < U \leq 0.5$.

La configuración en medio puente es conveniente para potencias mayores de 750 W debido a los cuatro transistores y los respectivos circuitos que utiliza para operarlos. En la configuración medio puente el voltaje resultante que se aplica al transformador es la

mitad del que se logra con la configuración de puente completo; y por lo tanto, debe doblarse el número de vueltas del transformador usado. Esto trae por consecuencia que la corriente aplicada a los transistores sea el doble, por lo que es adecuado para potencia baja. Cabe mencionar que debido a características de su circuito físico, el control modo-corriente no es factible de aplicar a la configuración medio puente.

La configuración reductor contrafase se discute de manera muy amplia en un estudio desarrollado para Unित्रode [30]. En el se presentan sus principios de operación, sus ventajas y se desarrolla un procedimiento de diseño para el mismo.

Los modelos en señal pequeña de las cuatro configuraciones con aislamiento mostradas se han obtenido, proponiéndose esquemas de control de tres lazos utilizando en el lazo interior control modo-corriente promedio [33]. Adicionalmente, mediante el uso de un convertidor reductor resonante en la primera etapa se ha propuesto un convertidor de alta densidad de energía, discutiéndose sus principios de operación y diseño para las cuatro configuraciones con aislamiento sin utilizar regulación [34].

Capítulo 3

Convertidor reductor cuadrático con conmutación de capacitores

El convertidor reductor domina el mercado de las fuentes de alimentación en el campo de las comunicaciones y es debido no solamente a la simplicidad de su estructura y su bajo costo, si no también, a la gran capacidad de reducción en el voltaje de salida sin el uso de un transformador. Sin embargo, debido a los nuevos avances tecnológicos, los microprocesadores están demandando fuentes de alimentación con voltajes de salida cada vez más reducidos. Estos voltajes están dentro del orden de $3.3 V$ a $1.1 V$ e incluso más recientemente, menores de $1 V$ [1-5][34].

De acuerdo a lo anterior, la salida de voltaje del convertidor reductor tiende a reducirse cada vez más, implicando con esto que el ciclo de trabajo al cual opera el convertidor, tiende a reducirse de tal manera, que empieza a ser comparable con los tiempos de encendido y apagado de los dispositivos de conmutación (MOSFETs). Bajo esta circunstancia, la operación de los MOSFETs se complica, ya que sus capacitancias implícitas limitan su proceso de carga y descarga afectando directamente la respuesta transitoria y la regulación del voltaje de salida en el convertidor.

Uno de los criterios de diseño de los convertidores reductores que está siendo de mayor relevancia hoy en día es el referente al tamaño. Los nuevos dispositivos elec-

trónicos y sobre todo los dispositivos electrónicos portátiles están siendo diseñados de tal manera que el espacio reservado para la fuente de alimentación es cada vez menor. Por lo cual, es importante que los convertidores reductores tengan amplios rangos de conversión y sean cada vez más pequeños.

El convertidor reductor cuadrático cuyo diagrama eléctrico se muestra en la Fig. 3.1 consiste de dos convertidores reductores convencionales conectados en cascada [35], el cual utiliza un solo interruptor activo.

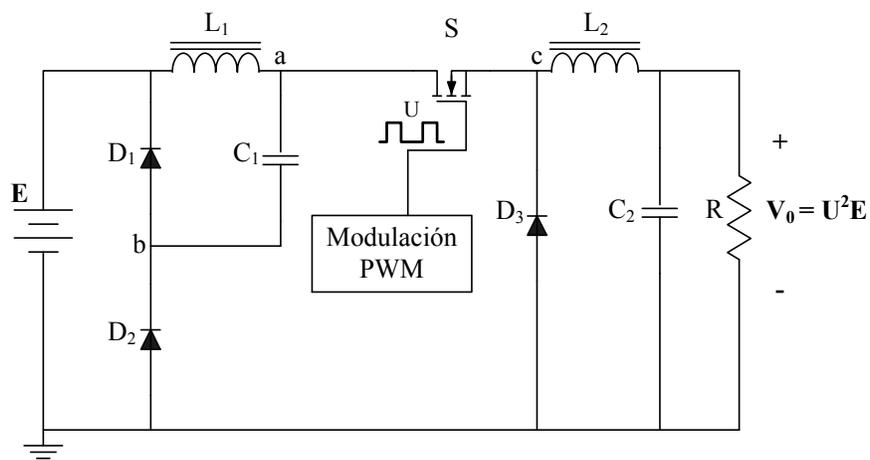


Figura 3.1. Diagrama eléctrico de un convertidor reductor cuadrático convencional.

La relación de conversión de este convertidor es una función cuadrática del ciclo de trabajo como se muestra en la siguiente relación:

$$\frac{V_0}{E} = U^2 \quad (3.1)$$

Esta configuración proporciona una relación cuadrática de conversión entre el voltaje de entrada y el voltaje de salida. La principal ventaja de este convertidor reductor es el uso de un solo circuito de control, en comparación con un convertidor reductor en cascada convencional, el cual requiere en el caso de dos etapas, dos circuitos de control. Sin embargo, el convertidor reductor cuadrático en cascada presenta limitaciones

cuando su relación de conversión es tal, que origina un ciclo de trabajo pequeño. Esto es debido a que los dispositivos de conmutación se ven comprometidos en su funcionamiento.

Como una alternativa para obtener una mayor reducción de voltaje que el convertidor reductor cuadrático de la Fig. 3.1, se propone una modificación a dicho convertidor de tal manera que se obtenga un voltaje menor en la salida de la primera etapa utilizando el mismo valor del ciclo de trabajo, con el propósito de obtener un mejor desempeño del interruptor activo. Esta modificación del convertidor reductor, está basada en el siguiente criterio: En un convertidor reductor cuadrático se tiene un voltaje constante en la salida de la primera etapa V_{ab} , tanto si el interruptor está cerrado como si el interruptor está abierto, como se observa en la Fig. 3.2.

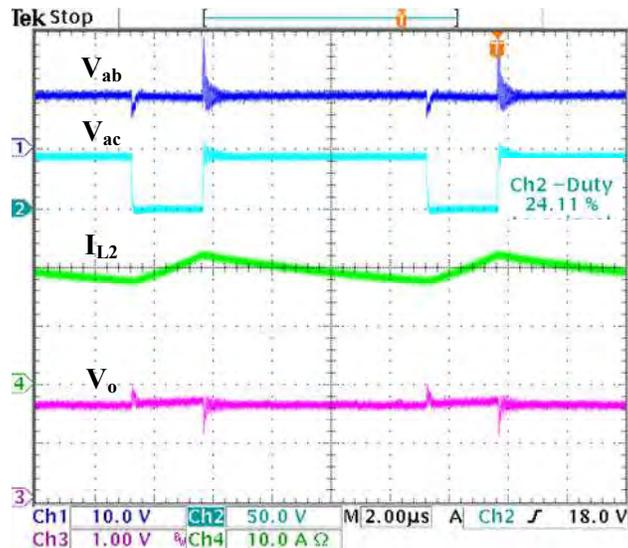


Figura 3.2. Señales experimentales (*eje x* : 2 μ s/div), Voltaje V_{ab} (*eje y* : 10 V/div), Voltaje V_{ac} (*eje y* : 50 V/div), Corriente I_{L2} (*eje y* : 10 A/div), Voltaje V_o (*eje y* : 1 V/div).

donde la señal superior es el voltaje de salida de la primera etapa representado por V_{ab} en la Fig. 3.1, y como se observa es un valor constante independientemente del valor en el voltaje del interruptor V_{ac} . Es decir, no importa si el interruptor S esté abierto o cerrado este voltaje se mantiene constante. La señal triangular es la corriente I_{L2} , y por

último, el voltaje de salida V_o .

Con la nueva estructura del convertidor reductor cuadrático, el voltaje V_{ab} ya no será constante, sino que un voltaje menor se obtendrá justamente en el instante en que el interruptor S se cierra. Es decir, en el instante de la transferencia de energía, ocasionando que el ciclo de trabajo sea mayor en comparación con el ciclo de trabajo que se obtendría para una misma relación de conversión, con un convertidor reductor cuadrático convencional.

3.1. Operación del convertidor reductor cuadrático con conmutación de capacitores

El convertidor que se propone se muestra en la Fig. 3.3. Esta topología está formada por un convertidor reductor cuadrático en cascada con un solo interruptor en el cual se sustituye el capacitor C_1 del circuito de la Fig. 3.1, por un circuito en el cual se lleva a cabo una conmutación de capacitores y diodos con la finalidad de obtener un voltaje V_{ab} menor [36].

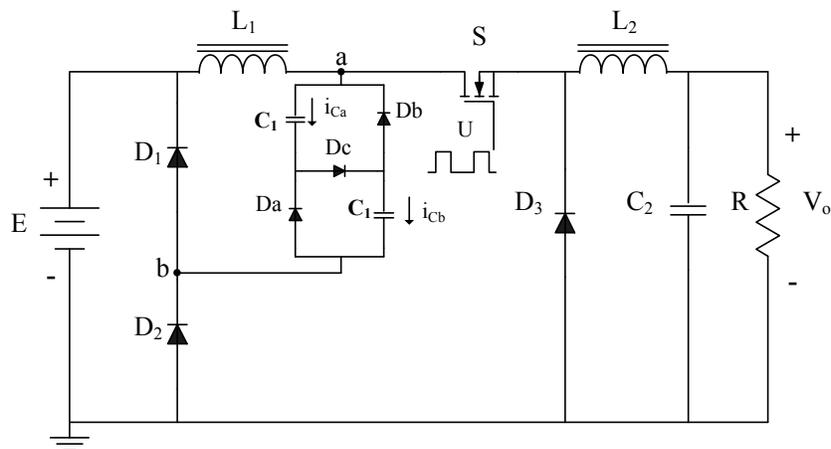


Figura 3.3. Convertidor propuesto con conmutación de capacitores.

Este convertidor conmuta entre dos etapas como se muestra en la Fig. 3.4. El tiempo que permanece en cada etapa depende del ciclo de trabajo de operación del convertidor.

En la Fig. 3.4(a) se puede observar que cuando el interruptor de conmutación S está cerrado, el circuito de capacitores conmuta de tal manera que coloca los capacitores de salida de la primera etapa del convertidor en paralelo mientras que en la siguiente conmutación, cuando S está abierto, los capacitores se colocan en serie Fig. 3.4(b).

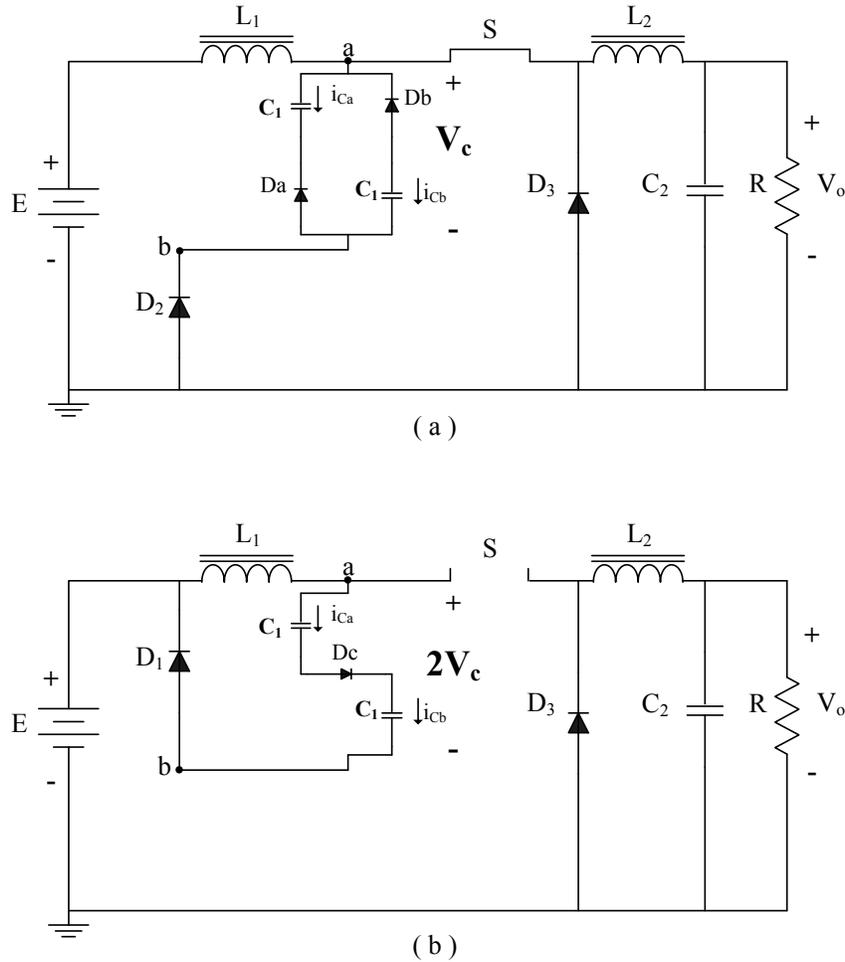


Figura 3.4. Convertidor propuesto con conmutación de capacitores.

Esta característica de la red de capacitores de cambiar su configuración entre circuito serie y circuito paralelo con cada conmutación, hace que el voltaje de salida de la primera etapa del convertidor varíe entre V_c y $2V_c$. Esta variación de voltaje en la salida de la primera etapa depende de si el dispositivo de conmutación S está cerrado o abierto. Como el instante más importante es cuando se transmite energía de una etapa

a la otra, es decir, cuando el interruptor está cerrado, en este instante el voltaje en la entrada de la segunda etapa es menor; y por lo tanto, para mantener la misma relación de conversión entre el voltaje de salida y el voltaje de entrada, es necesario incrementar el ciclo de trabajo, logrando con esto la posibilidad de obtener un rango de conversión mayor que el convertidor reductor cuadrático convencional en cascada con un solo interruptor.

En la Fig. 3.5 se muestran las formas de onda del convertidor propuesto para el modo de conducción de corriente continua en los inductores.

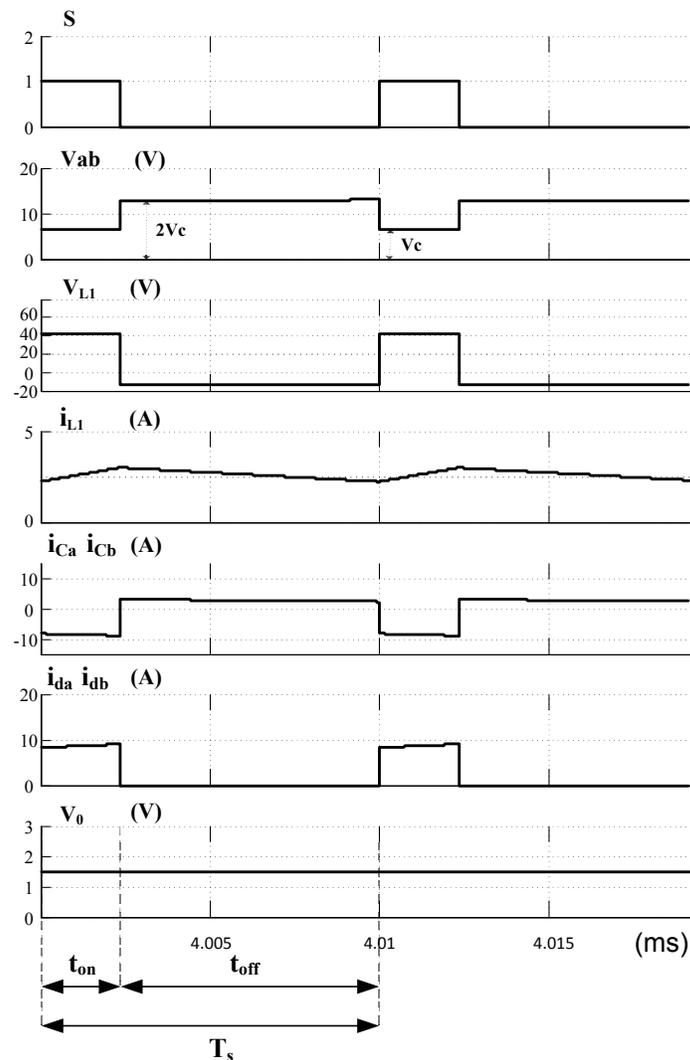


Figura 3.5. Formas de onda en estado estable del convertidor propuesto.

Durante la conmutación que corresponde al tiempo $t_{on} = DT_s$, el interruptor S está cerrado y el circuito de capacitores y diodos conmuta a la conexión paralelo adquiriendo el menor voltaje de salida de la primera etapa V_c . Las corrientes i_{Ca} , i_{Cb} en Fig. 3.3(a), tienen valores negativos de tal manera que los diodos D_a y D_b se polarizan directamente.

En la siguiente etapa en donde el tiempo $t_{off} = (1 - D)T_s$, el interruptor S está abierto, el circuito de capacitores y diodos conmuta de una conexión paralelo a una conexión serie originando un voltaje de $2V_c$ en la salida de la primera etapa del convertidor. Durante este tiempo L_1 se descarga y origina un voltaje V_a mayor que E .

$$V_a = E + 2V_c \quad (3.2)$$

Las corrientes i_{Ca} , i_{Cb} en la Fig. 3.3(b) tienen valores positivos de tal manera que los diodos D_a y D_b se polarizan inversamente y se consideran como circuito abierto, mientras que el diodo D_c se polariza directamente y se considera como cortocircuito.

En la Fig. 3.6 se muestra la comparación de los diagramas de tiempos para una relación de conversión dada entre el convertidor reductor cuadrático convencional con un interruptor activo y el convertidor cuadrático con conmutación de capacitores.

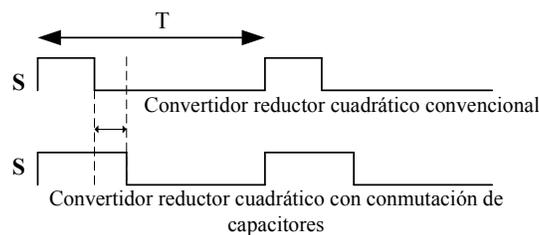


Figura 3.6. Comparación de diagramas de tiempo entre convertidores.

Con el convertidor propuesto y con un ciclo de trabajo extendido o ampliado, el esfuerzo en los elementos y sobre todo en el dispositivo de conmutación S es menor, logrando con esto una conmutación mejor ya que el tiempo de encendido del

dispositivo de conmutación se incrementa. Esta ventaja del convertidor propuesto sobre el convertidor reductor cuadrático es importante sobre todo cuando se está operando con ciclos de trabajo extremadamente bajos.

3.2. Modelado del convertidor.

El comportamiento dinámico de la mayoría de los circuitos eléctricos de potencia puede ser analizado mediante modelos promediados. Cuando dichas técnicas son usadas en convertidores cuadráticos reductores, un modelo puede ser obtenido por sus respectivas funciones de tiempo promediadas; por lo tanto, el modelo puede obtenerse en ecuaciones de estado.

A partir de las ecuaciones de voltaje en los inductores L_1 y L_2 se puede obtener el modelo no lineal promediado del convertidor propuesto.

$$L_1 \frac{dI_{L1}}{dt} = E - V_a \quad (3.3)$$

$$L_2 \frac{dI_{L2}}{dt} = V_a - V_0 \quad (3.4)$$

La expresión 3.5 muestra el modelo no lineal promediado para el convertidor reductor cuadrático en cascada con circuito de dos capacitores en la salida de la primera etapa.

$$\begin{bmatrix} \dot{i}_{L1} \\ \dot{i}_{L2} \\ \dot{v}_{C1} \\ \dot{v}_{C2} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{2-u}{L_1} & 0 \\ 0 & 0 & \frac{u}{L_2} & -\frac{1}{L_2} \\ \frac{1}{(1+u)C_1} & -\frac{u}{2C_1} & 0 & 0 \\ 0 & \frac{1}{C_2} & 0 & -\frac{1}{RC_2} \end{bmatrix} \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C1} \\ v_{C2} \end{bmatrix} + \begin{bmatrix} \frac{E}{L_1} \\ 0 \\ 0 \\ 0 \end{bmatrix} u \quad (3.5)$$

donde E es el voltaje de entrada, los estados son las corrientes de los inductores y los voltajes de los capacitores y u es el ciclo de trabajo para el interruptor activo y su rango de validez es $u \in [0, 1]$.

La linealización del modelo promediado se lleva a cabo alrededor de un punto de operación. El modelo linealizado general resultante se muestra a continuación donde (\sim) representa pequeñas perturbaciones y las letras mayúsculas representan valores en el punto de equilibrio.

$$\begin{bmatrix} \dot{\tilde{i}}_{L1} \\ \dot{\tilde{i}}_{L2} \\ \dot{\tilde{v}}_{C1} \\ \dot{\tilde{v}}_{C2} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{2-U}{L_1} & 0 \\ 0 & 0 & \frac{U}{L_2} & -\frac{1}{L_2} \\ \frac{1}{(1+U)C_1} & -\frac{U}{2C_1} & 0 & 0 \\ 0 & \frac{1}{C_2} & 0 & -\frac{1}{RC_2} \end{bmatrix} \begin{bmatrix} \tilde{i}_{L1} \\ \tilde{i}_{L2} \\ \tilde{v}_{C1} \\ \tilde{v}_{C2} \end{bmatrix} + \begin{bmatrix} \frac{2E}{L_1(2-U)} \\ \frac{UE}{L_2(2-U)} \\ -\frac{U^2E(1+2U)}{2RC_1(1+U)} \\ 0 \end{bmatrix} \tilde{u} \quad (3.6)$$

Se considera que las desviaciones del voltaje de entrada \tilde{e} son cero, así como también las pérdidas en el interruptor activo y las caídas de voltaje en los diodos.

La expresión que relaciona el voltaje de salida con el voltaje de entrada del convertidor cuadrático reductor con conmutación de dos capacitores es:

$$V_0 = \frac{U^2}{2-U} E \quad (3.7)$$

donde se puede notar que para un ciclo de trabajo U dado, el convertidor propuesto tiene una mayor reducción que el convertidor cuadrático reductor cuya relación es:

$$V_0 = U^2 E \quad (3.8)$$

La Tabla 3.1 muestra la comparación en valores promedio de los voltajes en los capacitores y las corrientes en los inductores para el convertidor cuadrático reductor convencional y para el convertidor cuadrático reductor con conmutación de capacitores.

Tabla 3.1. Comparación de parámetros

Parámetros	Convertidor cuadrático	Convertidor propuesto
V_{C_1}	UE	$\frac{U}{2-U}E$
$V_{C_2} = V_o$	U^2E	$\frac{U^2}{2-U}E$
I_{L_1}	UI_o	$\frac{U(1+U)}{2}I_o$
I_{L_2}	I_o	I_o

Se puede notar que la corriente a través del inductor de la primera etapa del convertidor, I_{L_1} , es significativamente menor en el convertidor propuesto que en el convertidor cuadrático convencional. Similarmente, el voltaje V_{C_1} es menor en el convertidor propuesto. Como consecuencia de esto, se tienen menos pérdidas por conducción y un menor esfuerzo de voltaje en el dispositivo de conmutación, así como también en los diodos.

3.3. Generalización del modelo

Para ciertas aplicaciones especiales se puede reducir aun más el voltaje de salida V_o del convertidor cuadrático con conmutación de capacitores, agregando en el circuito de conmutación de salida de la primera etapa del convertidor, n capacitores de tal manera que el voltaje V_{ab} estaría variando entre los valores de voltaje V_c y nV_c como se muestra en la Fig. 3.7.

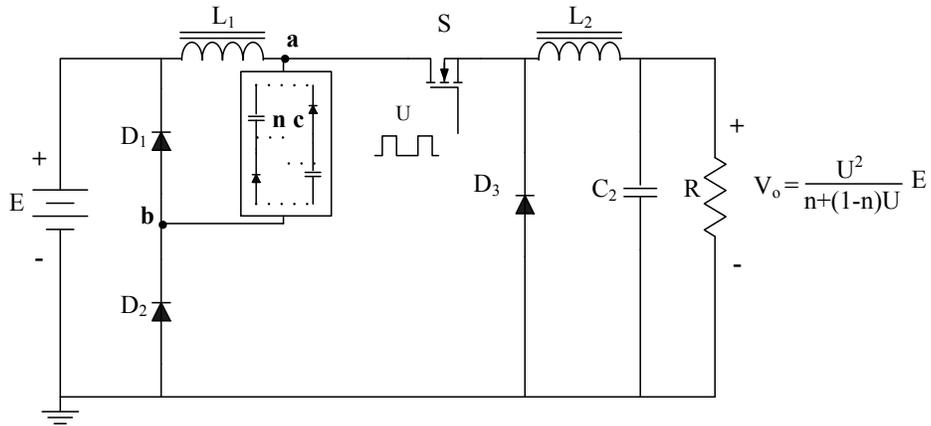


Figura 3.7. Convertidor reductor cuadrático con n capacitores.

La Fig. 3.8 muestra los circuitos de conmutación de capacitores y diodos para el caso en que $n = 2$, $n = 3$ y $n = 4$.

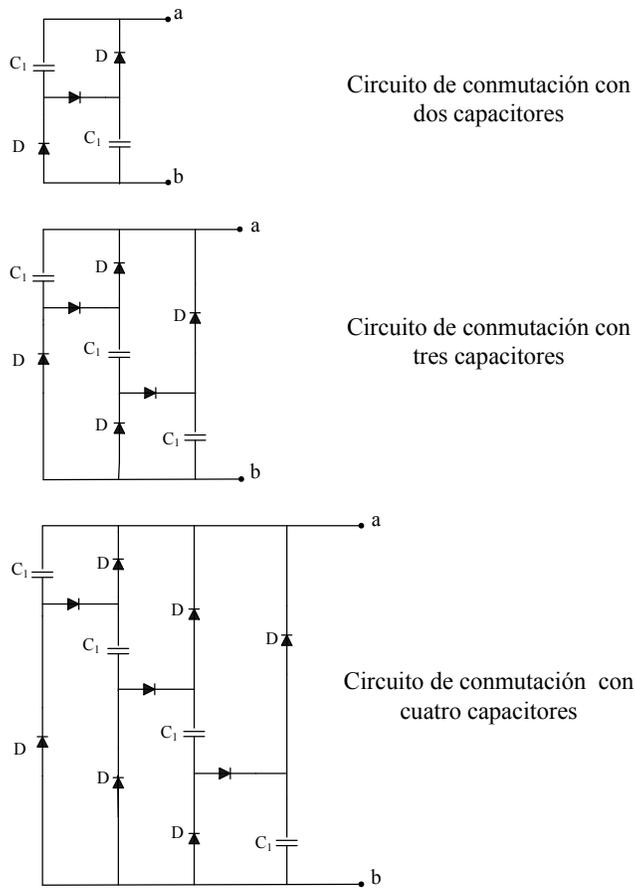


Figura 3.8. Circuitos de conmutación con capacitores.

A continuación se muestra el modelo no lineal general promediado de un convertidor cuadrático reductor con un solo interruptor activo y con un circuito de n capacitores

$$\begin{bmatrix} \dot{i}_{L1} \\ \dot{i}_{L2} \\ \dot{v}_{C1} \\ \dot{v}_{C2} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{n+(1-n)u}{L_1} & 0 \\ 0 & 0 & \frac{u}{L_2} & -\frac{1}{L_2} \\ \frac{1}{(1+(n-1)u)C_1} & -\frac{u}{nC_1} & 0 & 0 \\ 0 & \frac{1}{C_2} & 0 & -\frac{1}{RC_2} \end{bmatrix} \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C1} \\ v_{C2} \end{bmatrix} + \begin{bmatrix} \frac{E}{L_1} \\ 0 \\ 0 \\ 0 \end{bmatrix} u \quad (3.9)$$

El modelo lineal generalizado para un convertidor cuadrático reductor con n capacitores estaría dado por:

$$\begin{bmatrix} \dot{i}_{L1} \\ \dot{i}_{L2} \\ \dot{v}_{C1} \\ \dot{v}_{C2} \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{n+(1-n)U}{L_1} & 0 \\ 0 & 0 & \frac{U}{L_2} & -\frac{1}{L_2} \\ \frac{1}{(1+(n-1)U)C_1} & -\frac{U}{nC_1} & 0 & 0 \\ 0 & \frac{1}{C_2} & 0 & -\frac{1}{RC_2} \end{bmatrix} \begin{bmatrix} i_{L1} \\ i_{L2} \\ v_{C1} \\ v_{C2} \end{bmatrix} + \begin{bmatrix} \frac{nE}{L_1(n+(1-n)U)} \\ \frac{UE}{L_2(n+(1-n)U)} \\ -\frac{U^2E(1+2U(n-1))}{nRC_1(1+(n-1)U)} \\ 0 \end{bmatrix} \tilde{u} \quad (3.10)$$

En la Tabla 3.2 se muestran las expresiones generales de los parámetros del convertidor cuadrático reductor con conmutación de n capacitores. Se puede mostrar para este caso, que la relación del voltaje de salida V_o tiene un comportamiento asintótico en $U = 1$ sobre la gráfica del voltaje de salida V_o contra el ciclo de trabajo U en para cualquier valor constante de E y para cualquier valor entero de n , con $n \geq 1$.

Tabla 3.2. Parámetros del convertidor propuesto con n capacitores

Parámetros	Convertidor n capacitores
V_{C1}	$\frac{U}{n+(1-n)} E$
V_{C2}	$\frac{U^2}{n+(1-n)U} E$
I_{L1}	$U(1 + (n - 1)U)I_0$
I_{L2}	I_0
V_o	$\frac{U^2}{n+(1-n)U} E$

En la Fig. 3.9 se muestra la gráfica de la variación del ciclo de trabajo U con respecto al voltaje de salida V_o al variar el número de capacitores desde $n = 1$ a $n = 5$, en la salida de la primera etapa del convertidor propuesto. Se puede apreciar que la distancia entre las curvas se va reduciendo a partir de $n = 2$ conforme se incrementa el valor de n .

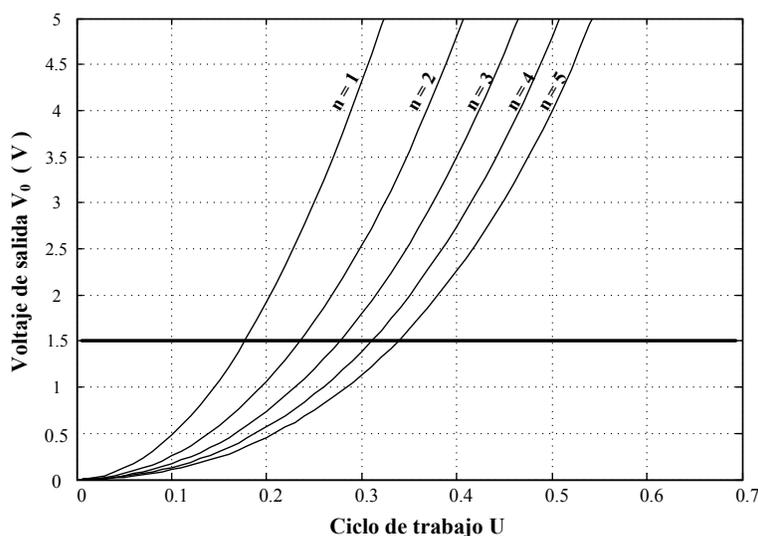


Figura 3.9. Variación del ciclo de trabajo U al aumentar capacitores.

Si el voltaje de salida En la Fig. 3.9 es $V_o = 1.5$ V y el voltaje de entrada es

$V_{in} = 48 V$, con el convertidor cuadrático convencional ($n = 1$) se tiene un ciclo de trabajo $U = 0.17$. Sin embargo, el ciclo de trabajo con el convertidor propuesto ($n = 2$) es $U = 0.24$. Dependiendo de la aplicación es posible obtener un ciclo de trabajo mayor, para el mismo rango de conversión de voltaje, incrementando el número de capacitores en la salida de la primera etapa del convertidor cuadrático. Por lo tanto, con el convertidor propuesto, se obtiene un ciclo de trabajo mayor para el mismo rango de conversión de voltaje.

3.4. Resultados experimentales

Para obtener los resultados experimentales, se hicieron pruebas considerando un voltaje de entrada de $E = 48 V$, voltaje de salida de $V_o = 1.5 V$ y corriente de salida $I_o = 20 A$. Para este rango de conversión, se puede observar en la Fig. 3.10 que el valor del ciclo de trabajo es de $U = 0.24$ considerando un convertidor cuadrático reductor normal, mientras que para el convertidor cuadrático reductor con conmutación de capacitores (Fig. 3.11) se observa que el valor del ciclo de trabajo se incremento hasta un valor de $U = 0.33$ para el mismo rango de conversión.

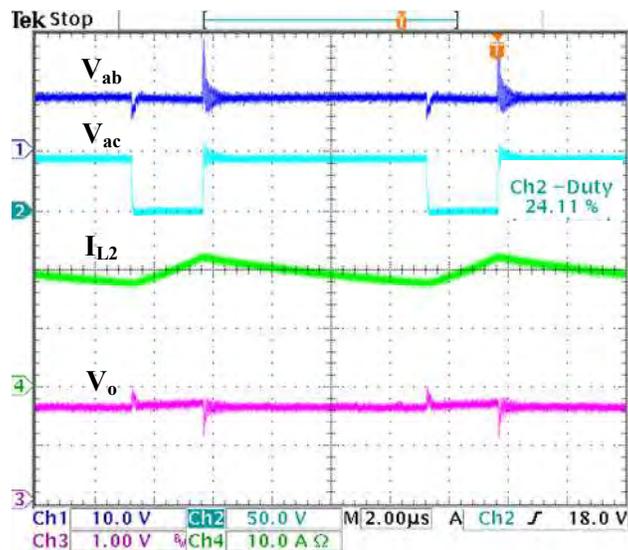


Figura 3.10. Convertidor cuadrático reductor convencional (*eje x* : $2\mu s/div$), Voltaje V_{ab} (*eje y* : $10 V/div$), Voltaje V_{ac} (*eje y* : $50 V/div$), Corriente I_{L2} (*eje y* : $10 A/div$), Voltaje V_o (*eje y* : $1 V/div$).

Este incremento en el ciclo de trabajo es consecuencia directa de la disminución del voltaje V_{ab} justamente en el instante en que el voltaje V_{ac} tiene el valor de 0 V . Es decir, en el instante en que el interruptor principal S está cerrado. Si se quisiera un ciclo de trabajo más grande, habría que aumentar el número de capacitores de conmutación para que el valor mínimo del voltaje V_{ab} disminuya.

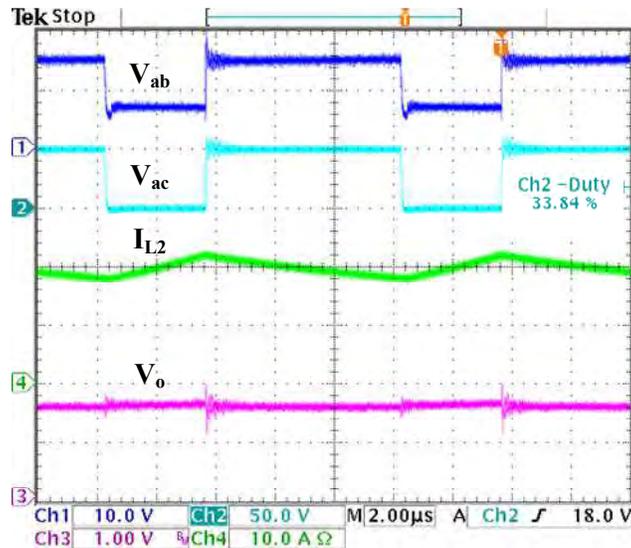


Figura 3.11. Convertidor cuadrático reductor con conmutación de capacitores (*eje x* : $2\mu\text{s}/\text{div}$), Voltaje V_{ab} (*eje y* : $10\text{ V}/\text{div}$), Voltaje V_{ac} (*eje y* : $50\text{ V}/\text{div}$), Corriente I_{L2} (*eje y* : $10\text{ A}/\text{div}$), Voltaje V_o (*eje y* : $1\text{ V}/\text{div}$).

La diferencia entre los valores teóricos y los valores experimentales obtenidos del ciclo de trabajo para el mismo rango de conversión de voltaje se deben principalmente a las pérdidas de los elementos que no se tomaron en consideración.

Capítulo 4

Controlador para convertidor reductor de tres etapas

En este capítulo se propone una metodología para diseñar un controlador para un convertidor reductor de tres etapas usando un control modo-corriente promedio. Este controlador emplea la corriente del inductor de la etapa de entrada y el voltaje del capacitor de la etapa de salida.

4.1. Convertidor reductor en cascada de n-etapas

El convertidor reductor en cascada proporciona amplios rangos de conversión sin la utilización de un transformador. Un primer esquema de convertidor reductor en cascada consiste de n convertidores convencionales conectados en cascada con n interruptores activos como se muestra en la Fig. 4.1.

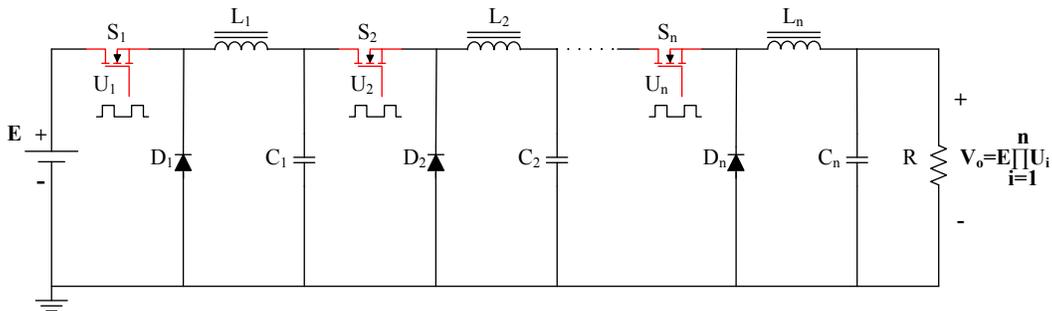


Figura 4.1. Convertidor reductor en cascada con n interruptores activos.

La relación de conversión para este esquema está dada por:

$$V_o = E \prod_{i=1}^n U_i \quad (4.1)$$

donde E es el voltaje DC de entrada, V_o el voltaje DC de salida y U_i el ciclo de trabajo de cada convertidor.

Un segundo esquema que presenta la ventaja de tener un control menos complejo y más económico es el convertidor reductor en cascada de n etapas que utiliza un solo interruptor activo. La Fig. 4.2 muestra el esquema de dicho convertidor.

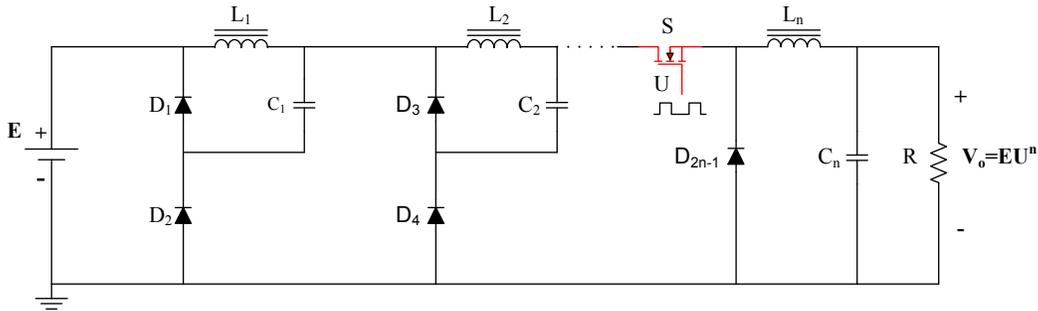


Figura 4.2. Convertidor reductor en cascada de n etapas con un solo interruptor activo.

Esta topología usa un solo interruptor activo S y requiere de n inductores, n capacitores y $(2n - 1)$ diodos. La carga es modelada como un elemento puramente resistivo R .

La relación de conversión para el convertidor reductor en cascada de n etapas con un solo interruptor está dada por:

$$V_o = EU^n \quad (4.2)$$

donde n es un número entero que indica el número de etapas en cascada del convertidor reductor.

Las condiciones de operación de cada etapa se muestran en la Tabla.4.1

Tabla 4.1. Parámetros del convertidor reductor en cascada de n etapas con un solo interruptor

Voltaje en capacitor	Corriente en inductor	CCM	Rizo de voltaje en capacitor	Rizo de corriente en inductor
$V_{C_1} = UE$	$I_{L_1} = U^{n-1} I_0$	$L_1 > \frac{(1-U)R}{2f_s U^{2(n-1)}}$	$\Delta V_{C_1} = \frac{U^{2n-1} E(1-U)}{f_s R C_1}$	$\Delta I_{L_1} = \frac{UE(1-U)}{L_1 f_s}$
$V_{C_2} = U^2 E$	$I_{L_2} = U^{n-2} I_0$	$L_2 > \frac{(1-U)R}{2f_s U^{2(n-2)}}$	$\Delta V_{C_2} = \frac{U^{2n-2} E(1-U)}{f_s R C_2}$	$\Delta I_{L_2} = \frac{U^2 E(1-U)}{L_2 f_s}$
\vdots	\vdots	\vdots	\vdots	\vdots
$V_{C_n} = U^n E$	$I_{L_n} = I_0$	$L_n > \frac{(1-U)R}{2f_s}$	$\Delta V_{C_n} = \frac{U^n E(1-U)}{8f_s^2 L_n C_n}$	$\Delta I_{L_n} = \frac{U^n E(1-U)}{L_n f_s}$

Para el cálculo de estos parámetros se asume que las caídas de voltaje en los interruptores activos y demás elementos son cero y que el convertidor opera en modo de corriente continua (CCM), es decir, las corrientes en los inductores nunca decrecen hasta cero. El valor mínimo de los inductores debe cumplir la relación de la columna tres de la Tabla. 4.1 para que el convertidor opere en modo de conducción continua. Por otra parte, se puede observar que el voltaje promedio de los capacitores decrece a lo largo de cada etapa del convertidor reductor en cascada mientras que la corriente promedio de los inductores aumenta.

Típicamente en un convertidor reductor convencional, la relación del rizo de voltaje ε_V en un capacitor debe estar dentro del rango 1 % – 2 %:

$$\varepsilon_V = \frac{\left(\frac{\Delta v_C}{2}\right)}{V_C} \quad (4.3)$$

La relación del rizo de corriente ε_I en un inductor debe estar dentro del rango 10 % – 20 %:

$$\varepsilon_I = \frac{\left(\frac{\Delta i_L}{2}\right)}{I_L} \quad (4.4)$$

Usando herramientas de teoría de circuitos, las trayectorias eléctricas que se obtienen al encender y apagar el interruptor activo se analizan para obtener el modelo general conmutado que se muestra a continuación [37, 38, 39]:

$$\begin{bmatrix} \dot{i}_{L1} \\ \dot{i}_{L2} \\ \vdots \\ \dot{i}_{Ln} \\ \dot{v}_{C1} \\ \dot{v}_{C2} \\ \vdots \\ \dot{v}_{Cn} \end{bmatrix} = \begin{bmatrix} 0 & 0 & \dots & 0 & \frac{-1}{L_1} & 0 & \dots & 0 \\ 0 & 0 & \dots & 0 & \frac{q}{L_2} & \frac{-1}{L_2} & \dots & 0 \\ \vdots & \vdots & \ddots & 0 & 0 & \vdots & \ddots & 0 \\ 0 & 0 & 0 & 0 & \vdots & 0 & \frac{q}{L_n} & \frac{-1}{L_n} \\ \frac{1}{C_1} & \frac{-q}{C_1} & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & \frac{1}{C_2} & \ddots & 0 & 0 & 0 & 0 & 0 \\ \vdots & \vdots & \ddots & \frac{-q}{C_{n-1}} & 0 & \vdots & \vdots & 0 \\ 0 & 0 & \dots & \frac{1}{C_n} & 0 & 0 & 0 & \frac{-1}{RC_n} \end{bmatrix} \begin{bmatrix} i_{L1} \\ i_{L2} \\ \vdots \\ i_{Ln} \\ v_{C1} \\ v_{C2} \\ \vdots \\ v_{Cn} \end{bmatrix} + \begin{bmatrix} \frac{q}{L_1} \\ 0 \\ \vdots \\ 0 \\ 0 \\ 0 \\ \vdots \\ 0 \end{bmatrix} e \quad (4.5)$$

donde e es el voltaje de entrada no regulado y q es la función de conmutación cuyos valores binarios son $[0, 1]$. La función de conmutación q toma el valor de 1 cuando el interruptor de conmutación S está encendido y 0 cuando está apagado. El vector de estado es de dimensión $2n$ y está formado por las corrientes de los inductores y los voltajes en los capacitores.

En muchos circuitos de electrónica de potencia es más importante conocer los valores promedio de los voltajes y las corrientes que sus valores instantáneos. Para convertidores conmutados $CD - CD$, el valor promedio de la función de conmutación q se representa por u , la cual representa el ciclo de trabajo del convertidor.

Usando la noción de modelos promediados, se puede obtener un modelo en tiempo continuo de baja frecuencia para un convertidor reductor de n etapas de la forma:

$$\dot{\bar{x}} = \bar{A}(u)\bar{x} + \bar{B}(u)\bar{e} \quad (4.6)$$

donde $\bar{x} = [i_{L1}, \dots, i_{Ln}, v_{C1}, \dots, v_{Cn}]^T$ es el correspondiente vector de estado del mode-

lo no-lineal promediado, e representa el voltaje de entrada, \bar{A} es la matriz del sistema, \bar{B} es el vector de entrada, u es la señal de control para el interruptor activo. Debido a que la matriz \bar{A} y el vector de entrada \bar{B} dependen de la señal de control u el modelo del convertidor es un modelo no-lineal.

La linealización del modelo promediado se lleva a cabo alrededor de un punto de operación. Las corrientes de los inductores, los voltajes de los capacitores, la señal de control y el voltaje de entrada se descomponen en dos partes:

- La primera parte contiene los valores nominales, los cuales son denotados por letras mayúsculas.
- La segunda parte contiene las desviaciones del valor nominal, las cuales son denotadas por \sim .

La descomposición de la señal de control y el voltaje de entrada son:

$$\begin{aligned} u &= U + \tilde{u} \\ e &= E + \tilde{e} \end{aligned} \tag{4.7}$$

Teniendo en cuenta la descomposición anterior y asumiendo que las desviaciones de los valores nominales son suficientemente pequeñas, entonces la no-linealidad y los términos de segundo orden pueden ser omitidos. El resultado es un modelo lineal que tiene la siguiente forma:

$$\dot{\tilde{x}} = A\tilde{x} + B\tilde{v} \tag{4.8}$$

donde $\tilde{x} \in R^{2n}$ es el vector de estado del modelo lineal, \tilde{v} es un vector de las señales de entradas y n es el número de etapas.

El modelo lineal promediado del convertidor reductor de n etapas con un solo interruptor activo se muestra a continuación:

$$\begin{bmatrix} \dot{\tilde{i}}_{L1} \\ \dot{\tilde{i}}_{L2} \\ \vdots \\ \dot{\tilde{i}}_{Ln} \\ \dot{\tilde{v}}_{C1} \\ \dot{\tilde{v}}_{C2} \\ \vdots \\ \dot{\tilde{v}}_{Cn} \end{bmatrix} = \begin{bmatrix} 0 & 0 & \dots & 0 & -\frac{1}{L_1} & 0 & \dots & 0 \\ 0 & 0 & \dots & 0 & \frac{U}{L_2} & \frac{-1}{L_2} & \dots & 0 \\ \vdots & \vdots & \ddots & 0 & 0 & \vdots & \ddots & 0 \\ 0 & 0 & 0 & 0 & \vdots & 0 & \frac{U}{L_n} & \frac{-1}{L_n} \\ \frac{1}{C_1} & -\frac{U}{C_1} & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & \frac{1}{C_2} & \ddots & 0 & 0 & 0 & 0 & 0 \\ \vdots & \vdots & \ddots & -\frac{U}{C_{n-1}} & 0 & \vdots & \vdots & 0 \\ 0 & 0 & \dots & \frac{1}{C_n} & 0 & 0 & 0 & \frac{-1}{RC_n} \end{bmatrix} \begin{bmatrix} \tilde{i}_{L1} \\ \tilde{i}_{L2} \\ \vdots \\ \tilde{i}_{Ln} \\ \tilde{v}_{C1} \\ \tilde{v}_{C2} \\ \vdots \\ \tilde{v}_{Cn} \end{bmatrix} + \begin{bmatrix} \frac{E}{L_1} & \frac{U}{L_1} \\ \frac{EU}{L_2} & 0 \\ \vdots & 0 \\ \frac{EU^{n-1}}{L_n} & 0 \\ \frac{-U^{2n-2}}{RC_1} & 0 \\ \vdots & 0 \\ \frac{-U^n E}{RC_{n-1}} & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} \tilde{u} \\ \tilde{e} \end{bmatrix} \quad (4.9)$$

Este modelo lineal invariante en el tiempo describe aproximadamente el comportamiento dinámico del convertidor reductor en cascada para frecuencias lo suficientemente grandes comparadas con las frecuencias de las variaciones de las señales de los componentes.

Si las desviaciones del voltaje de entrada \tilde{e} no son consideradas y las pérdidas en los interruptores activos y en los interruptores pasivos (diodos) son omitidas, la razón total de conversión del voltaje de salida para el convertidor reductor de n etapas con un solo interruptor es:

$$V_o = U^n E \quad (4.10)$$

4.2. Esquema de control propuesto

Los dos esquemas básicos para el control de un regulador conmutado de potencia son:

- Control modo-voltaje
- Control modo-corriente

En el control modo-voltaje, la salida de voltaje es utilizada para retroalimentación; sin embargo, la estabilidad y el buen desempeño en lazo cerrado son difícil de obtener con un solo lazo de control ya que la frecuencia de corte de la ganancia en lazo abierto está severamente restringida por la presencia de ceros del lado derecho en la función de transferencia voltaje de salida a señal de control.

El control modo-corriente tiene muchas ventajas sobre el control modo-voltaje:

- Una rápida respuesta transitoria
- El diseño del lazo de control es más sencillo
- Protección de sobre-corriente dentro de un solo ciclo

En esta clase de convertidores, las variables de estado naturales para la retroalimentación son las corrientes de los inductores y los voltajes de los capacitores [40, 41, 42].

En un convertidor reductor de n -etapas las variables usadas para retroalimentación son la corriente del inductor y el voltaje del capacitor; sin embargo, existen n corrientes de inductores y n voltajes de capacitores que generan diferentes combinaciones de variables que pueden ser usadas para la retroalimentación. Para propósitos de control, es importante seleccionar las variables más apropiadas desde el punto de vista de desempeño e implementación.

4.2.1. Control modo-corriente promedio

Un control modo-corriente promedio puede ser implementado sensando la corriente del inductor de la primera etapa. Utilizando esta corriente del inductor junto con el voltaje de capacitor de la etapa de salida se obtienen las variables más adecuadas para propósitos de retroalimentación. El diagrama de bloques correspondiente al esquema de control modo-corriente promedio se muestra en la Fig. 4.3, y está basado en el control de un convertidor de una etapa mostrado en [43, 44, 45], donde V_p es la amplitud de la señal diente de sierra, N es la ganancia de amplificación de la corriente del inductor de la primera etapa que es detectada por una resistencia de precisión R_s , $G(s)$ es un compensador de alta ganancia, $K(s)$ es un controlador PI y H es un divisor de voltaje. La señal de referencia para el lazo de voltaje es V_{REF} . En el control modo-corriente promedio, un filtro paso-bajas $F(s)$ se agrega con una frecuencia de corte que depende de la frecuencia de conmutación f_s .

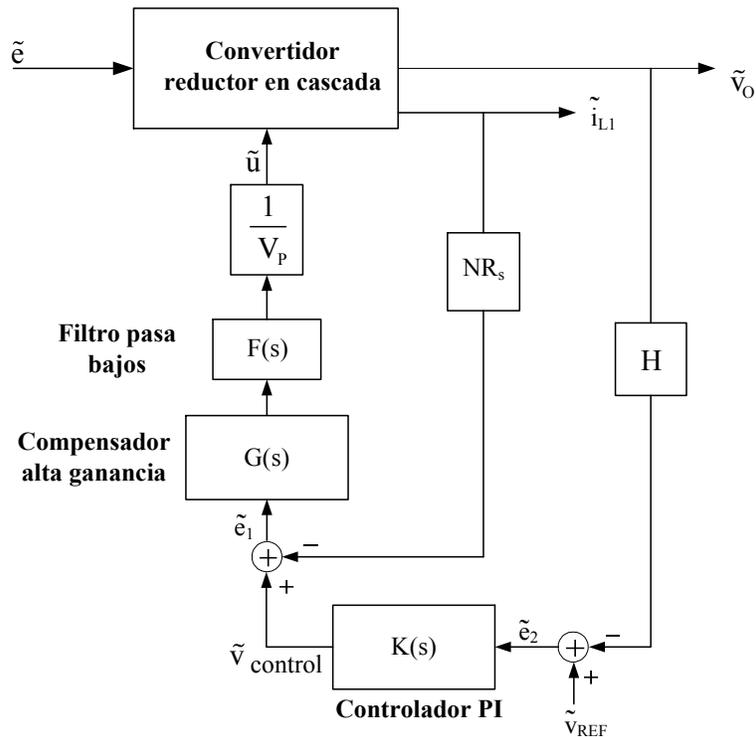


Figura 4.3. Esquema de control modo-corriente promedio para convertidor reductor de n etapas.

Control lazo de corriente

El controlador para el lazo de corriente consiste en:

- (a) Un compensador de alta ganancia el cual proporciona una rápida regulación de la corriente del primer inductor hacia su referencia
- (b) Una ganancia para el sensor de corriente
- (c) Un filtro pasa-bajas.

La función de transferencia para el compensador de alta ganancia es:

$$G(s) = G_o \frac{(s + \omega_z)}{s} \quad (4.11)$$

donde la ganancia del compensador G_o es generalmente alta. El cero ω_z del compensador de alta ganancia debe ser colocado en al menos una década abajo de la mitad de la frecuencia de conmutación f_s .

La función de transferencia para el filtro pasa-bajas es:

$$F(s) = \frac{1}{\left(\frac{s}{\omega_p} + 1\right)} \quad (4.12)$$

donde el polo ω_p es colocado a la mitad de la frecuencia de conmutación o arriba de esta. Este polo tiene el propósito de eliminar los picos de ruido que aparecen en la forma de onda de la corriente. Así, los valores de ω_z y ω_p son establecidos por la frecuencia de conmutación del convertidor reductor en cascada. Los valores del circuito se obtienen mediante las siguientes relaciones:

$$\omega_z = \frac{1}{R_{FZ} C_{FZ}} \quad (4.13)$$

$$\omega_p = \frac{C_{FZ} + C_{FP}}{R_{FZ} C_{FZ} C_{FP}} \quad (4.14)$$

La ganancia resultante para el compensador esta dada por:

$$G_0 = \frac{R_{FZ}}{R_i} \quad (4.15)$$

La ganancia del compensador G_0 generalmente es grande para que se obtenga una rápida regulación de la corriente del primer inductor hacia su referencia. El resultado es que la corriente promedio sigue la corriente de referencia con gran aproximación. Cuando el lazo de corriente es cerrado, la función de transferencia del voltaje de salida con respecto al voltaje de control es modificada por la ganancia del compensador G_0 agregando amortiguamiento al pico de resonancia de baja frecuencia, el cual resulta en el comportamiento de un solo polo en una frecuencia más baja. Una vez que el diseño del lazo interior de corriente es terminado, se diseña el compensador PI del lazo exterior.

Control lazo de voltaje

El diseño del controlador PI está principalmente basado en el siguiente criterio para la ganancia del lazo [43]:

- (a) Para obtener estabilidad relativa, la pendiente en o cerca de la frecuencia de corte no debe ser más de -20 dB/dec .
- (b) Para mejorar la aproximación en estado estable, la ganancia en bajas frecuencias debe ser alta.

La función de transferencia del controlador PI puede ser expresada como:

$$K(s) = K_p \left(1 + \frac{1}{T_i s}\right) \quad (4.16)$$

donde K_p es la ganancia proporcional y está expresada como:

$$K_p = \frac{R_{FC}}{R_{iC}} \quad (4.17)$$

y el tiempo de integración T_i se expresa de la siguiente manera:

$$T_i = R_{FC} C_{FC} \quad (4.18)$$

por lo tanto, se puede expresar el valor de la frecuencia del cero como:

$$\omega_{CZ} = \frac{1}{R_{FC} C_{FC}} \quad (4.19)$$

El parámetro principal de diseño para estabilidad del regulador es la ganancia K_p . Un valor bajo para K_p resulta en un margen de fase para la ganancia del lazo de voltaje de aproximadamente 90; sin embargo, el ancho de banda resultante para el regulador se reduce. Los valores de K_p y T_i para estabilidad robusta deben ser seleccionados de tal manera que el margen de ganancia y el margen de fase resultante deben ser de 10 dB y 50° respectivamente. En el diseño de un controlador es importante tener en cuenta las incertidumbres de los parámetros como se discute en [46]. Estas incertidumbres pueden llevar a un mal desempeño o aún a inestabilidad; sin embargo, la estrategia de control propuesta ha sido exitosamente probada para reguladores conmutados como se muestra en [47].

4.3. Resultados experimentales

Un convertidor reductor en cascada de tres etapas cuyo diagrama se muestra en la Fig.4.4 se diseñó y construyó para llevar a cabo pruebas en el diseño de control. El diseño de los componentes, tanto de capacitores como de inductores se hizo tomando en cuenta los criterios dados en la Tabla. 4.1.

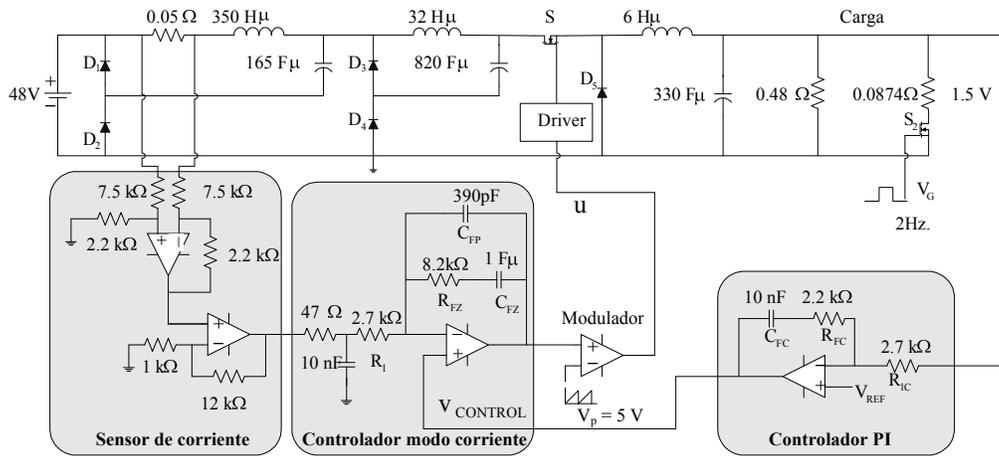


Figura 4.4. Esquema de control modo-corriente promedio para convertidor reductor de tres etapas.

Los valores nominales para este convertidor son:

- Voltaje de entrada $E = 48 V$.
- Voltaje de salida $V_o = 1.5 V$.
- Ciclo de trabajo nominal $U = 0.314$.
- Carga nominal $R = 0.072 \Omega$.
- Corriente de salida $I_o = 20 A$

Las corrientes promedio de los inductores son: $I_{L1} = 2.20 A$, $I_{L2} = 7.02 A$ y $I_{L3} = 20 A$.

La frecuencia de conmutación del convertidor reductor en cascada es de $100 kHz$.

Los parámetros del convertidor reductor de tres etapas en cascada se muestran en la Tabla 4.2

Tabla 4.2. Parámetros del convertidor reductor de tres etapas

Capacitor C_1	165 μF
Capacitor C_2	820 μF
Capacitor C_3	330 μF
Inductor L_1	350 μH
Inductor L_2	32 μH
Inductor L_3	6 μH
Resistencia de carga R	0.072 Ω
Diodos $D_1 - D_5$	80EBU02
MOSFET $S_1 - S_2$	IRFP4568
Amplificador Operacional	TL081
Comparador	LM311
Driver MOSFET	IR2117

Para cargas medias o ligeras la eficiencia que se obtiene es buena; sin embargo, conforme la corriente de salida se incrementa, la eficiencia disminuye. La eficiencia para este convertidor reductor en cascada de tres etapas es de 88% para cargas ligeras y para carga nominal se reduce a 57%.

Para incrementar la eficiencia es necesario tener en cuenta dos consideraciones:

- Reemplazar el diodo de salida de la tercera etapa por un elemento que tenga menores pérdidas por conducción.
- Emplear capacitores que tengan una resistencia serie equivalente (ESR) de menor valor.

Teniendo en cuenta los valores de los parámetros del convertidor reductor de tres etapas, el modelo lineal promediado correspondiente se puede escribir facilmente como muestra a continuación:

$$\begin{bmatrix} \dot{\tilde{i}}_{L1} \\ \dot{\tilde{i}}_{L2} \\ \dot{\tilde{i}}_{L3} \\ \dot{\tilde{v}}_{C1} \\ \dot{\tilde{v}}_{C2} \\ \dot{\tilde{v}}_{C3} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & -2857 & 0 & 0 \\ 0 & 0 & 0 & 897 & -31250 & 0 \\ 0 & 0 & 0 & 0 & 9812 & -166666 \\ 6060 & -1903 & 0 & 0 & 0 & 0 \\ 0 & 1219 & -382 & 0 & 0 & 0 \\ 0 & 0 & 3030 & 0 & 0 & -40404 \end{bmatrix} \begin{bmatrix} \tilde{i}_{L1} \\ \tilde{i}_{L2} \\ \tilde{i}_{L3} \\ \tilde{v}_{C1} \\ \tilde{v}_{C2} \\ \tilde{v}_{C3} \end{bmatrix} + \begin{bmatrix} 137142 & 897 \\ 471000 & 0 \\ 788770 & 0 \\ -37706 & 0 \\ -24163 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} \tilde{u} \\ \tilde{e} \end{bmatrix} \quad (4.20)$$

La función de transferencia

$$G_3(s) = \frac{\tilde{v}_0(s)}{\tilde{u}(s)} \quad (4.21)$$

es de sexto orden y de fase no mínima, ya que hay raíces del numerador (ceros) en el lado derecho del plano (RHS). La localización de las raíces del numerador y denominador, es decir, los ceros y polos del sistema se muestran en la Tabla 4.3

Tabla 4.3. Ceros y Polos del sistema

Ceros	-5.6864	$433.41 \pm j9489.5$	$433.8 \pm j4663.8$
Polos	$-20185 \pm j6732$	$-421.53 \pm j8193$	$-427 \pm j3277.7$

Como se puede notar, existen cuatro ceros del lado derecho del plano. Existen picos de alta resonancia, los cuales dependen de los parámetros del convertidor.

La función de transferencia

$$G_1(s) = \frac{\tilde{i}_{L1}(s)}{\tilde{u}(s)} \quad (4.22)$$

es una función de fase mínima. Los valores correspondientes al compensador de alta ganancia se muestran en la Tabla 4.4

Tabla 4.4. Parámetros del compensador alta ganancia

$\omega_z = 121.9 \text{ rad/s}$
$\omega_p = 312.8 \text{ krad/s}$
$G_0 = 370.2$

Los valores del controlador PI se muestran en la Tabla 4.5

Tabla 4.5. Parámetros del controlador PI

$K_p = 0.8$
$T_i = 0.022 \text{ ms}$

Para la implementación de este esquema solo se requirieron cuatro amplificadores operacionales incluyendo el que se utilizó para sensar la corriente del inductor.

Con el analizador de respuesta en frecuencia AP Instruments 300, se obtuvo la respuesta en frecuencia de la ganancia de lazo del convertidor en condiciones de operación de lazo cerrado. La Fig. 4.5 muestra dicha respuesta.

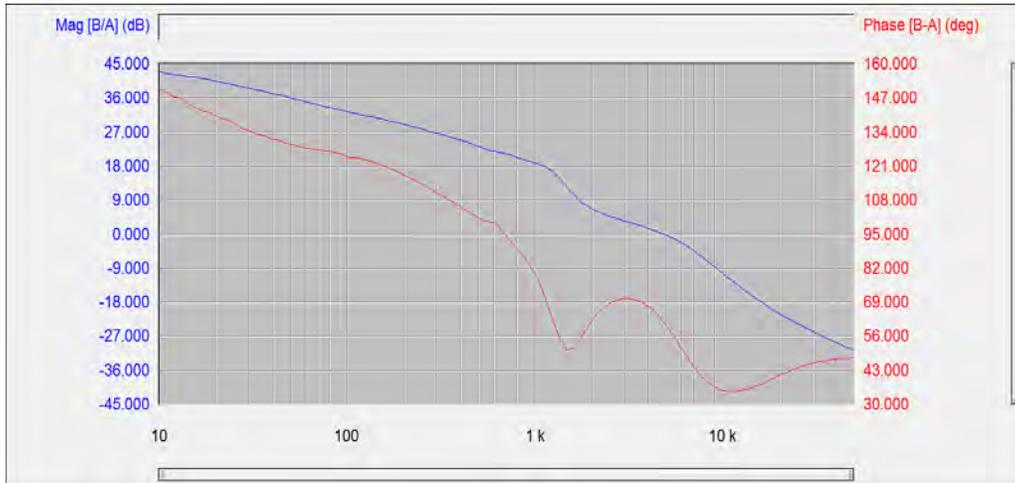


Figura 4.5. Respuesta en frecuencia de la ganancia de lazo: (arriba) Ganancia, (abajo) Fase.

Como se puede observar, la gráfica de la magnitud cruza el eje de 0 dB en aproximadamente 5 kHz con una pendiente aproximada de -20 dB/dec . Por lo tanto, el margen de fase que resulta es de 62° con lo cual se obtiene estabilidad robusta. La gráfica de fase muestra algunas variaciones pero la fase nunca cruza los 180° .

4.3.1. Pruebas en lazo abierto

El desempeño del convertidor reductor de tres etapas en cascada es probado para diversas condiciones de operación. Con un voltaje de entrada de 48 V se ajusta el ciclo de trabajo U para obtener un voltaje de salida de 1.5 V . Entonces, se aplica un cambio en el valor de la carga de $0.072\ \Omega$ a $0.48\ \Omega$ usando un MOSFET a una frecuencia de operación de 2 Hz . La variación del voltaje de salida resultante se muestra en la Fig. 4.6

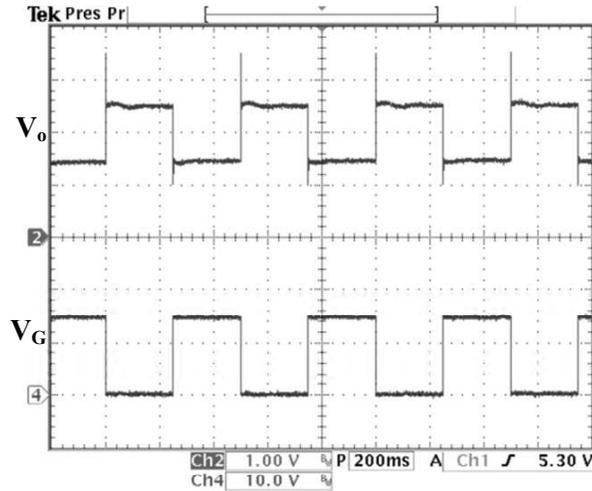


Figura 4.6. Voltaje de salida en lazo abierto (*eje x* : 200ms/div), Voltaje V_o (*eje y* : 1V/div), Voltaje V_G (*eje y* : 10V/div).

Se puede observar que debido a los cambios de carga V_G , el voltaje de salida del convertidor V_o varía de 1.5V a 2.5V. En esta condición de operación, la corriente de salida sufre una variación del 22% del valor nominal.

4.3.2. Pruebas en lazo cerrado

El desempeño del regulador con el correspondiente controlador en modo corriente promedio se muestra en la Fig. 4.7

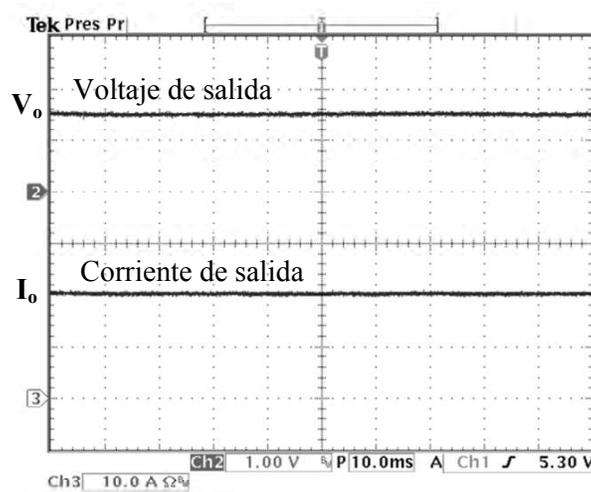


Figura 4.7. Voltaje y corriente de salida en lazo cerrado (*eje x* : 10ms/div), Voltaje V_o (*eje y* : 1V/div), Corriente I_o (*eje y* : 10A/div).

Para un voltaje de entrada de 48 V y aplicando cambios en el valor de la carga, la Fig. 4.8 muestra que el voltaje de salida permanece constante en 1.5 V , de tal modo que el convertidor efectivamente está regulando.

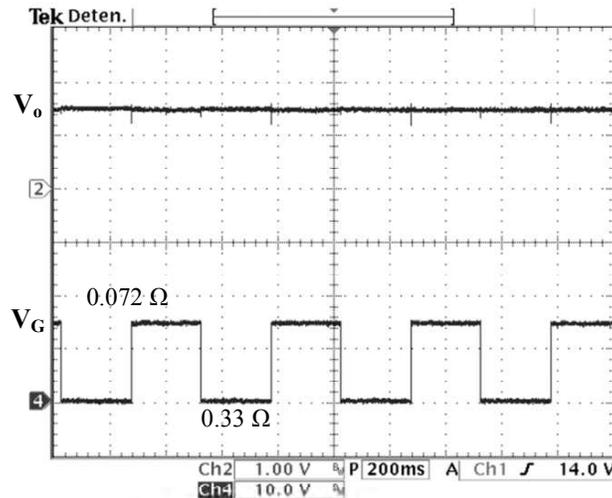


Figura 4.8. Voltaje de salida constante a pesar de cambios en la carga (*eje x* : 200ms/div),
 Voltaje V_o (*eje y* : 1 V/div), Voltaje V_G (*eje y* : 10 V/div).

Las formas de onda de las corrientes de los inductores se muestran en la Fig. 4.9, donde se puede apreciar la forma triangular característica de las corrientes en los inductores. Además, como nunca llegan a tener un valor de 0 A , el convertidor está operando en modo de conducción continuo (CCM).

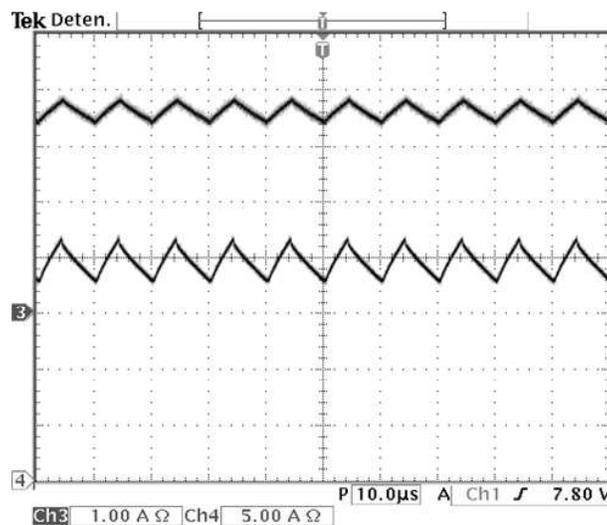


Figura 4.9. Forma de onda de las corrientes en los inductores (*eje x* : $10\ \mu\text{s/div}$),
 Corriente I_{L1} (*eje y* : 1 V/div), Corriente I_{L3} (*eje y* : 10 A/div).

Un acercamiento del voltaje de salida para poder apreciar el rizo se muestra en la Fig. 4.10. El rizo del voltaje de salida es aproximadamente de 0.05 V el cual resulta en un 3.3% de rizo. También se pueden apreciar los cambios que son debidos a la caída de voltaje de la resistencia serie equivalente del capacitor de salida [4].

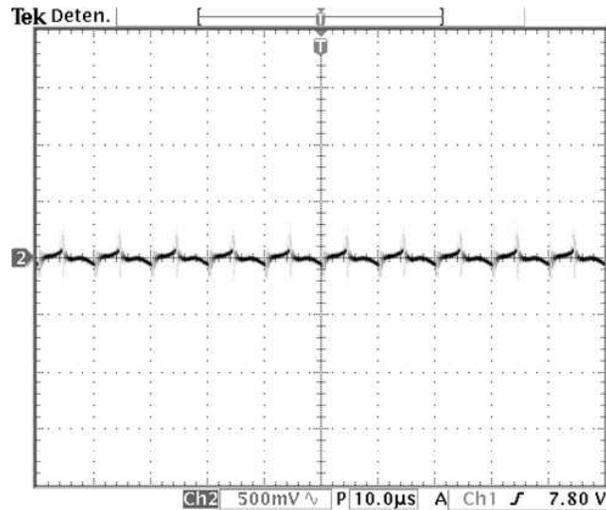


Figura 4.10. Acercamiento del voltaje de salida (*eje x* : $10\mu\text{s}/\text{div}$),
Voltaje V_o (*eje y* : $500\text{mV}/\text{div}$).

4.4. Posible solución para mejorar la eficiencia

Como se pudo observar en este capítulo, la eficiencia del convertidor reductor de tres etapas a carga nominal no llega al 60%. Esto es debido principalmente al diodo de la etapa de salida, ya que este componente tiene una caída de voltaje que es muy semejante al voltaje de salida. Una posible solución para mejorar la eficiencia y manteniendo los mismos parámetros de voltaje de entrada, voltaje de salida y corriente de salida, sería por una parte, considerar un convertidor reductor de dos etapas. Es decir, un convertidor reductor cuadrático y por otra parte sería cambiar no solo el diodo de la etapa de salida sino cambiar cada uno de los diodos presentes por un componente que tenga menos pérdidas por conducción. Este elemento es el MOSFET, de tal manera que el convertidor reductor cuadrático quedaría como se muestra en la Fig. 4.11.

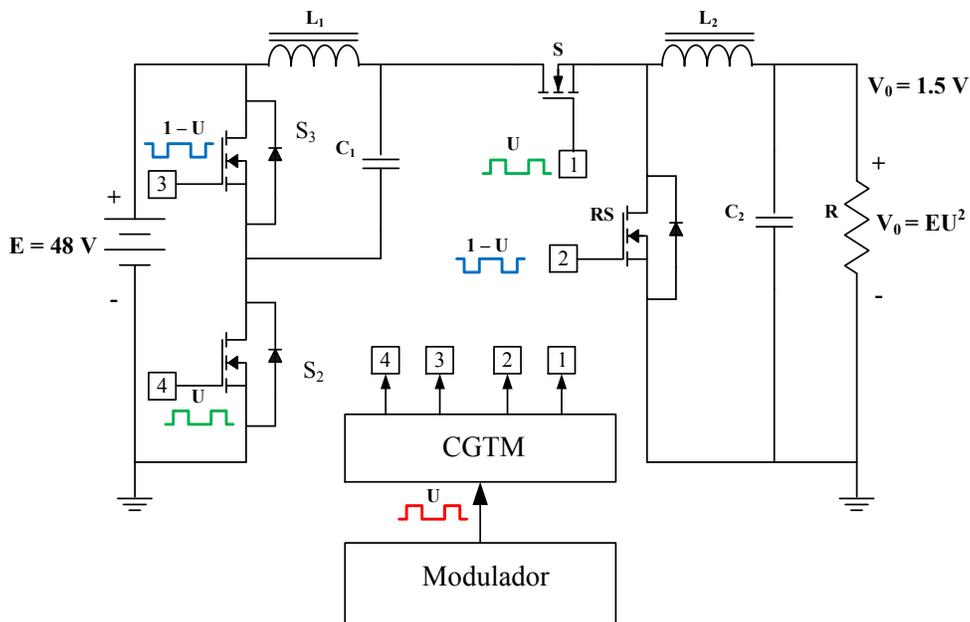


Figura 4.11. Convertidor reductor cuadrático todo síncrono.

Una parte importante a considerar cuando se sustituye un interruptor pasivo como lo es el diodo, por un interruptor activo como lo es el MOSFET, es que para operar este último se requiere una señal de control que esté en sincronía con la señal de control del interruptor principal S y al mismo tiempo se debe garantizar que no exista una

condición de corto-circuito. La Fig. 4.12 muestra que es necesario considerar un tiempo muerto para garantizar que no exista la posibilidad de un corto-circuito.

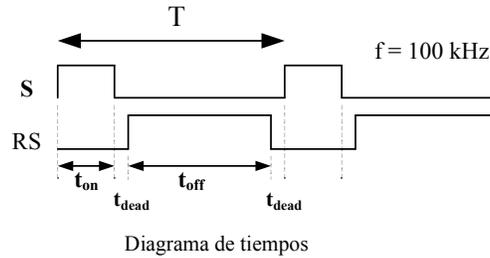


Figura 4.12. diagrama de tiempos en un convertidor reductor cuadrático síncrono.

La Fig. 4.13 muestra que la eficiencia del convertidor reductor cuadrático todo síncrono es muy cercana al 80% a carga nominal, lo cual es un considerable aumento en la eficiencia con respecto al convertidor reductor de tres etapas.

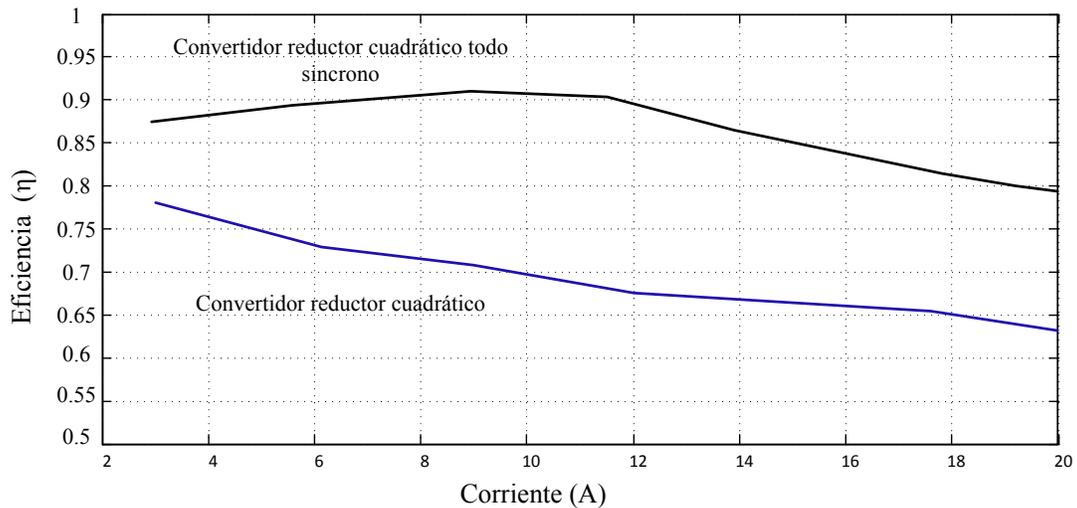


Figura 4.13. Comparación de eficiencias entre un convertidor reductor cuadrático y un convertidor reductor cuadrático todo síncrono.

Capítulo 5

Conclusiones

5.1. Comentarios finales

La última década se ha visto caracterizada por un incremento bastante considerable en el número de transistores que se han estado incorporando a las nuevas familias de microprocesadores. Lo anterior ha representado un gran reto para el diseño de reguladores de voltaje, que son los encargados de suministrar energía a los microprocesadores. La tendencia actual en el diseño de microprocesadores está caracterizada por fuentes de alimentación con un voltaje muy bajo ($\sim 1V$) y con una ventana de regulación ($\sim 100mV$). Actualmente existen necesidades de amplios rangos de conversión en los voltajes que son usados en los reguladores.

Debido a las características anteriormente mencionadas, se debe buscar convertidores que las puedan satisfacer ya que las que se tienen no las satisfacen. Por ejemplo, el utilizar las topologías actuales nos va a llevar a obtener eficiencias muy bajas que harían poco factible su comercialización. Una de las tendencias es buscar una mayor eficiencia. La selección de los dispositivos semiconductores juega también un papel importante ya que las pérdidas pudieran ser significativamente altas debido a las corrientes relativamente altas que se manejan. Por otra parte, la selección de los capacitores es también crucial ya que pueden almacenar grandes cantidades de energía y el efecto de la resis-

tencia en serie podría representar un problema para obtener eficiencias adecuadas. En estos convertidores es recomendado usar capacitores con una resistencia serie equivalente muy pequeña, la cual es sin duda la selección esperada para la próxima generación de reguladores de voltaje. Sin lugar a duda, el desarrollo de nuevas topologías jugará un papel importante para satisfacer los requisitos anteriores.

Un enfoque para obtener muy bajos voltajes es el uso de ciclos de trabajo extremadamente bajos en los convertidores actuales; sin embargo, presentan múltiples problemas por tenerse tiempos de encendido muy pequeños en los elementos de conmutación. También se propone como solución el uso de transformadores dentro de las configuraciones, pero estos producen grandes picos en el voltaje aplicado a los elementos de conmutación así como el uso de circuitos de control más complicados.

Otra posible solución al problema de amplio rango de conversión la ofrece el uso de diversos convertidores convencionales conectados en cascada, siendo su principal inconveniente la complejidad del sistema de control utilizado al construir el regulador conmutado. Para evitar el uso de diversos interruptores activos, se proponen configuraciones como un convertidor reductor en cascada el cual emplea un solo interruptor activo. Estas configuraciones son más sencillas de controlar. Entre las topologías más usadas en la actualidad se encuentran el convertidor reductor síncrono así como el entrelazado.

En esta tesis se discuten principalmente dos topologías que nos pueden proporcionar una reducción muy amplia de conversión, un voltaje bajo y el uso de un control sencillo. La primera topología es un convertidor reductor de tres etapas en cascada que utiliza un solo circuito de control y la segunda una topología que combina un convertidor cuadrático reductor con una red de capacitores y diodos con el objeto de poder obtener reducciones significativas de voltaje.

Aplicando técnicas convencionales de análisis de circuitos, se encuentran las relaciones de rizados en la corriente de los inductores, rizados en los voltajes de los capacitores y valores de los inductores para condiciones de conducción continua. Así mismo, se

aplican técnicas de modelado en espacio de estados obteniendo un modelo conmutado lineal y uno de tipo promedio no lineal para las configuraciones discutidas. Adicionalmente, se encuentra el modelo promedio lineal o de señal pequeña de las mismas, el cual es válido únicamente para frecuencias menores a la mitad de la frecuencia de conmutación del elemento activo.

Así mismo, se encuentra que la función de transferencia de la corriente del primer inductor/ciclo de trabajo es de fase mínima, para valores típicos de construcción del convertidor. La funciones de transferencia del voltaje de salida / ciclo de trabajo es de fase no mínima (tienen ceros en el lado derecho del plano-s).

Por las características de fase mínima de la función de transferencia corriente del primer inductor/ciclo de trabajo, la corriente del primer inductor se propone para retroalimentación dentro de un esquema de control modo-corriente promedio. La estabilidad y desempeño del sistema convertidor-controlador se analiza por medio de la ganancia de lazo. Se encuentra que para esta clase de convertidores, el valor de la ganancia proporcional del compensador de alta ganancia determina la estabilidad y rapidez del lazo de corriente. Para garantizar el desempeño del regulador propuesto en el lazo externo, o de voltaje, se utiliza un controlador-PI. La estabilidad del sistema resultante al cerrar los lazos de corriente y de voltaje se garantiza, de manera adicional a los métodos frecuenciales, por técnicas de sistemas lineales que se aplican fácilmente.

Por medio de resultados experimentales, tanto en lazo abierto como en lazo cerrado, para un regulador reductor de tres etapas en cascada en modo-corriente promedio se muestran las buenas características de regulación y robustez del mismo ante diversas condiciones de operación. Adicionalmente, se verifica que la operación del regulador diseñado en modo-corriente presenta una mejor operación que uno diseñado en lazo abierto.

Los resultados obtenidos en este trabajo de investigación permitieron la publicación de los siguientes artículos:

- J. A. Reyes-Malanche, N. Vazquez, J. Leyva-Ramos. *Switched-capacitor quadratic buck converter for wider conversion ratios*. IET Power Electronics, 2015, aceptado para publicación
- L. H. Diaz-Saldierna, J. Leyva-Ramos, M. G. Ortiz-Lopez, J. A. Reyes-Malanche. *Current-Control switching regulator using a DC-DC converter with high step-down voltage gain*. IET Power Electronics, Vol. 5. No. 7 pp.1147 – 1153, 2012

5.2. Trabajo futuro

En este trabajo el convertidor cuadrático reductor fue modelado exclusivamente en MCC por lo que queda abierto el modelado tanto de tipo no lineal como lineal en MCD, lo cual permite entre otras aplicaciones el uso de estos convertidores en corrección de factor de potencia. Así mismo puede realizarse el modelado de estos convertidores incluyendo las resistencias, inductancias y capacitancias parásitas de los elementos del circuito.

Actualmente hay una tendencia en el mejoramiento de la fabricación de dispositivos semiconductores así como de capacitores especialmente para la aplicación de reguladores de voltaje para microprocesadores, así que sería interesante ver como las topologías vistas en este trabajo serían afectadas por estos nuevos dispositivos. También no se excluye la posibilidad del uso de otros tipos de combinaciones de elementos activos y pasivos que formen circuitos equivalentes a las configuraciones estudiadas.

Los resultados obtenidos para los controladores modo-corriente promedio y modo-voltaje propuestos pueden servir para comparar en un futuro los resultados que se obtengan para reguladores implementados mediante el uso de estrategias de control de tipo no lineal.

Finalmente, los modelos no lineales propuestos pueden estudiarse bajo enfoques de tipo geométrico o conmutado que permitan el estudio de su comportamiento caótico y su aplicación en áreas no clásicas de la electrónica de potencia.

Bibliografía

- [1] Meeting the Power Conversion Challenge of the Information Age. The Future of DC-DC Converters. International Rectifier (<http://www.irf.com/product-info/dc-dc/dcintro.html>).
- [2] R. W. Erickson and D. Maksimovic, Fundamentals of Power Electronics. Second Edition, Kluwer Academic Publishers, 2001.
- [3] N. Mohan, T. M. Undeland, and W. P. Robbins, Power Electronics: Converters, Applications and Design. New York, John Wiley & Sons, Third Edition, 2003.
- [4] P. T. Krein, Elements of Power Electronics, First Edition, Oxford University Press, 1998.
- [5] Gerald Marcyk. Silicon Technology: Scaling for the second half of the decade. Logic Technology Development, Intel Corporation (<http://intel.com/labs/>).
- [6] Tesis Doctoral. Convertidores cd-cd para aplicaciones de baja tensión. Horacio Visairo Cruz. CENIDET. Octubre 2004.
- [7] VRM 8.1 DC-DC Converter, Design Guidelines, Intel, May 1997.
- [8] L. Balogh, C. Bridge and Bill Andreyak, Cascaded power converter topology for high current, low voltage application, Unitrode Seminar 1300, 1999.
- [9] VRM 9.1 DC-DC Converter, Design Guidelines, Intel, March 2005.
- [10] E. Wells and M. Jordan, Low power boost converter for portable applications, Unitrode Seminar 1200, Topic 2, 2001.

- [11] P. C. Sernia and G. R. Walker, Cascaded dc-dc converter connection of photovoltaic modules, *IEEE Trans. Power Electron.*, Vol. 19, No. 4, pp. 1130 - 1139, 2004.
- [12] M. Veerachary, T. Senjyu, and K. Uetazo, Maximum power point tracking of coupled inductor interleaved boost converter supplied PV system, *IEE Proc. Elect. Power Appl.*, Vol. 150, No. 1, pp. 71 - 80, 2003.
- [13] WWW.intel.com
- [14] Y.C. Ren, M. Xu, Y. Meng and F.C. Lee, A Novel Quasi-Resonant Phase-Shifted Full-Bridge Converter for 48V Power Pods, *IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2003, Vol. 1, pp. 420 – 425.
- [15] Voltage Regulator Module (VRM) and Enterprise Voltage Regulator-Down (EVRD) 10.0 Design Guidelines for desktop socket 478, February 2004.
- [16] Voltage Regulator Module (VRM) and Enterprise Voltage Regulator-Down (EVRD) 10.0 Design Guidelines for desktop socket 478, March 2005.
- [17] Voltage Regulator Module (VRM) and Enterprise Voltage Regulator-Down (EVRD) 11.0 Design Guidelines, April 2008.
- [18] M. Ye, P. Xu, B. Yang and F. C. Lee, Investigation of Topology Candidates for 48V VRM, *IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2002, Vol. 2, pp. 699 – 705.
- [19] X. Zhou, B. Yang, L. Amoroso, F. C. Lee and P. L. Wong, A novel High-input-voltage, high efficiency and fast transient voltage regulator module-push-pull forward converter, *Applied Power Electronics Conference and Exposition (APEC)*, 1999, Vol. 1, pp. 279 – 283.
- [20] P. Xu, J. Wei, K. Yao, Y. Meng and F. C. Lee, Investigation of candidate topologies for 12V VRM, *IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2002, Vol. 2, pp. 686 – 692.

- [21] VRM 9.0 DC-DC Converter Design Guidelines, Intel document, Order number: 249659 – 001, July 2001.
- [22] J. G. Kassakian, M. F. Schlecht, and G. C. Verghese, Principles of Power Electronics. Addison-Wesley Publishing Company, 1991.
- [23] M. H. Rashid, Power Electronics, Circuit, Devices and Applications. Englewood Cliffs, N.J., Prentice Hall, Second Edition, 1993.
- [24] H. Matsuo and K. Harada, The cascade connection of switching regulators, IEEE Trans. Ind. Appl., Vol. 12, No. 2, pp. 192 - 198, March/April 1976.
- [25] J. A. Morales-Saldaña, E. E. Carbajal-Gutierrez and J. Leyva-Ramos, Modeling of switch-mode DC-DC cascade converters, IEEE Trans. Aerosp. Electron. Syst., Vol. 38, No. 1, pp. 295 - 299, 2002.
- [26] M. Veerachary, General rules for signal flow graph modeling and analysis of dc-dc converters, IEEE Trans. Aerosp. Electron. Syst., Vol. 40, No. 1, pp. 259 - 271, 2004.
- [27] M. Veerachary, Modelling and analysis of cascade step-down converters, IEE Proc. Electr. Power Appl., Vol. 152, No. 1, pp. 41 - 50, 2005.
- [28] M. Veerachary, Signal flow graph model of multi-state boost DC-DC converters, IEE Proc. Electr. Power Appl., Vol. 151, No. 5, pp. 583 - 589, 2004.
- [29] D. Maksimovic and S. Cuk, General properties and synthesis of PWM dc-to-dc converters, 20th Power Electronics Specialist Conf. Rec., Milwaukee Wi, pp. 515 - 525, 1989.
- [30] D. Maksimovic and S. Cuk, Switching converters with wide dc conversion range, IEEE Trans. Power Electron., Vol. 6, No. 1, pp. 151 - 157, 1991.
- [31] F. L. Luo and H. Ye, Advanced DC/DC Converters, CRC Press, 2003.

- [32] V. M. Pacheco, A. J. do Nascimento, V. J. Farias, J. B. Vieira and L. C. de Freitas, A quadratic buck converter with lossless commutation, *IEEE Trans. Ind. Electron.*, Vol. 47, No. 2, pp. 264 - 272, 2000.
- [33] J. Y. Zhu and B. Lehman, Control loop design for two-stage dc-dc converters with low voltage/high current output, *IEEE Trans. Power Electron.* Vol. 20, No. 1, pp. 44 - 55, 2005
- [34] Stephen H. Gunter, Frank Binns, Douglas M. Carmean, Jonathan C. Hall. Managing the Impact of Increasing Microprocessor Power Consumption. *Intel Technology Journal Q1*, 2001.
- [35] M. G. Ortiz-Lopez, J. Leyva-Ramos and L. H. Diaz-Saldierna, n-buck cascade converter with a single switch, US Patent Pending 04709.0003, 2007.
- [36] J. C. Rosas-Caro, J. M. Ramirez, F. Z. Peng, A. Valderrabano. A DC-DC multilevel boost converter. *IET Power Electronics.*, 2010, Vol. 3, Iss. 1, pp. 129 – 137.
- [37] S. Benerjee, and G. C. Verghese, *Nonlinear Phenomena in Power Electronics, Attractor, Bifurcations, Chaos and Nonlinear Control.* IEEE Press, 2001.
- [38] C. G. Cullen, *Matrices and Linear Transformations*, Second Edition, Addison Wesley, 1972.
- [39] H. K. Khalil, *Nonlinear Systems*, Third Edition, Prentice Hall, 2001.
- [40] J. A. Morales-Saldaña, J. Leyva-Ramos, E. E. Carbajal-Gutierrez and M. G. Ortiz-Lopez, A current-mode control scheme for a quadratic buck converter with a single switch, *IEEE Trans. Power Electron.*, 2007.
- [41] J. A. Morales-Saldaña, R. Galarza-Quirino, E. E. Carbajal-Gutierrez, J. Leyva-Ramos and M. G. Ortiz-Lopez, Multiloop controller design for a quadratic boost converter, *IET Proc. Electr. Power Appl.*, Vol. 1, No. 3, pp. 362 - 367, 2007.

- [42] M. G. Ortiz-Lopez, J. Leyva-Ramos, L. H. Diaz-Saldierna, J. M. Garcia-Ibarra and E. E. Carbajal-Gutierrez, Current-mode control for a quadratic boost converter with a single switch, 38 th IEEE Power Electronics Specialists Conf. PESC07, Orlando USA, Jun 17 - 21, 2007.
- [43] J. Van de Vegte, Feedback Control Systems, Third Edition, Prentice Hall, 1994.
- [44] J. A. Morales-Saldaña, R. Galarza-Quirino, J. Leyva-Ramos, E. E. Carbajal-Gutierrez and M. G. Ortiz-Lopez, Modeling and control of a cascade boost converter with a single switch, 32 nd IEEE Industrial Electronics Conf. IECON06, Paris, France, Nov. 7 - 10, 2006.
- [45] E. E. Carbajal-Gutiérrez, J. A. Morales-Saldaña and J. Leyva-Ramos, Average current-mode control for a quadratic buck converter, 36 th IEEE Power Electron. Specialists Conf. PESC 2005, Recife, Brazil, Jun. 12 - 16, pp. 2146 - 2150, 2005.
- [46] K. Zhou, and J. C. Doyle, Essentials of Robust Control, First edition, Prentice Hall, 1998.
- [47] Leyva-Ramos, J., Morales-Saldaña, J.A., Martinez-Cruz, M.: Robust stability analysis of current-programmed regulators, IEEE Trans. Ind. Electron. 2006, 49, (5), pp. 1138 – 1145.
- [34a] Y. Ren, M. Xu, J. Sun and F.C. Lee, A family of high power density unregulated bus converters, IEEE Trans. Power Electron. Vol. 20, No. 5, pp. 1045 - 1054, 2005.
- [35a] F. L. Luo and H. Ye, Positive output super-lift converters, IEEE Trans. Power Electron., Vol. 18, No. 1, 2003.
- [48] C. W. Diesch, Simple switching control method changes power converter into a current source, 9 th IEEE Power Electronics Specialist Conf., Syracuse N.Y., 1978.
- [49] S. P. Hsu, A. Brown, L. Rensik and R. D. Middlebrook, Modeling and analysis of switching dc-to-dc converters in constant frequency current-programmed mode, in Proc. 10 th IEEE Power Electronics Specialist Conf., San Diego, Ca., 1979.

- [50] L. H. Dixon, Average current-mode control of switching power supplies, Unitrode Power Seminar Handbook, Seminar U-140, 1990.
- [51] W. Tang, F. C. Lee and R. B. Ridley, Small-signal modeling of average current-mode control, IEEE Trans. Power Electron., Vol. 8, No. 2, pp. 112 - 119, 1993.
- [52] M. G. Ortiz-Lopez, J. Leyva-Ramos, L. H. Diaz-Saldierna and E. E. Carbajal-Gutierrez, Multiloop controller for n-stage cascade boost converter, 16 th IEEE Conf. on Control Applications CCA07, Singapore, Oct. 1 - 3, 2007.